

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 11-251965
 (43) Date of publication of application : 17.09.1999

(51) Int. CI. H04B 1/707
 H03H 17/02

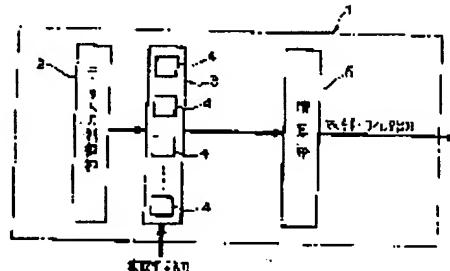
(21) Application number : 10-054019 (71) Applicant : FUJITSU LTD
 (22) Date of filing : 05.03.1998 (72) Inventor : CHIN HON

(54) MATCHED FILTER AND RADIO RECEIVER FOR CDMA COMMUNICATION SYSTEM

(57) Abstract:

PROBLEM TO BE SOLVED: To select an optimum architecture, to effectively lower the switching rate of the entire circuit and to substantially reduce power consumption by utilizing the feature of matched filter calculation, data dependency and data symmetry and performing design by the low power design method of a digital circuit related to a matched filter.

SOLUTION: This matched filter is provided with a data input control part 2 for specifying a place for holding received spread data every moment, data holding parts 4 for holding received data, a spread data path part 3 composed of the plural data holding parts 4 which is controlled by the data input control part 2 and an arithmetic part 5 for EXORing, adding and outputting the received spread data in the output of the spread data path part 3 and a spread replica code generated by itself.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's

decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-251965

(43)公開日 平成11年(1999)9月17日

(51)Int.CL
H04B 1/707
H03H 17/02

載別記号
601

P I
H04J 13/00
H03H 17/02

D
8012

審査請求 実請求 請求項の数10 OL (全 22 頁)

(21)出願番号 特願平10-54019

(22)出願日 平成10年(1998)3月5日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 陳 爰

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

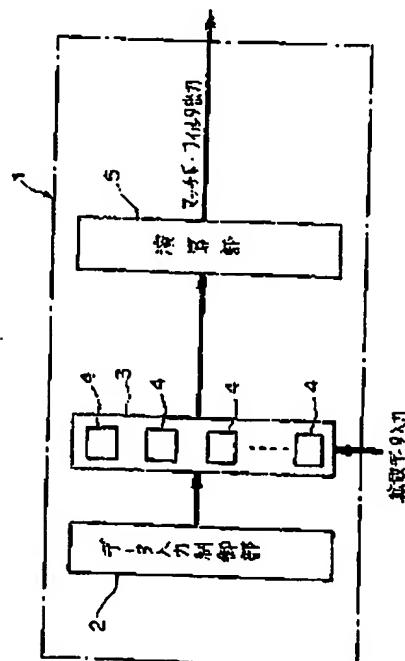
(74)代理人 弁理士 真田 有

(54)【発明の名称】 マッチドフィルタ及びCDMA通信方式の無線受信装置

(57)【要約】

【課題】 マッチドフィルタに関し、マッチドフィルタ計算の特徴、データ依存性、データ対称性を利用して、ディジタル回路の低電力設計手法で設計することで、最適なアーキテクチャーを選択し、回路全体のスイッチング率を効果的に下げ、消費電力を大幅に低減させるようとする。

【解決手段】 マッチドフィルタにおいて、受信した並散データを保持する場所を時々刻々と指定するデータ入力制御部2と、受信データを保持するデータ保持部4と、複数のデータ保持部4よりなって、データ入力制御部2からの制御を受ける並散データバス部3と、並散データバス部3の出力における受信並散データと、自分で発生させた並散レプリカ符号とを、EXOR演算して計算出力する演算部5とをそなえて構成する。



【特許請求の範囲】

【請求項1】 並散データを入力されるべく、複数のデータ保持部を並列的に配置した構成の並散データバス部と。

該並散データの入力に応じて、上記の並散データバス部における各データ保持部へのデータ保持制御を順次行なっていく並散データ入力制御部と、
上記の並散データバス部の各データ保持部からの出力と、並散符号との乗算を行なうとともに、それぞれの乗算結果を加算して出力する演算部とをそなえて構成されたことを特徴とする、マッチドフィルタ。

【請求項2】 並散データを入力されるべく、複数のデータ保持部を並列的に配置した構成の並散データバス部と。

該並散データの入力に応じて、上記の並散データバス部における各データ保持部へのデータ保持制御を順次行なっていく並散データ入力制御部とをそなえるとともに、
上記の並散データバス部の各データ保持部からの出力を共通信号として、該各データ保持部からの出力と、並散符号との乗算を行なうとともに、それぞれの乗算結果を加算して出力する複数の演算部とをそなえて構成されたことを特徴とする、マッチドフィルタ。

【請求項3】 該並散データ入力制御部が、複数の有限状態保持部を環状に配置したラウンドロビン環をそなえ、該ラウンドロビン環における複数の有限状態保持部のうちの1つの有限状態保持部のみが他の有限状態保持部と状態が異なるように、該複数の有限状態保持部の状態を順次変更していくことにより、上記の並散データバス部における各データ保持部へのデータ保持が順次更新されていくように構成されたことを特徴とする。請求項1又は請求項2に記載のマッチドフィルタ。

【請求項4】 該並散データ入力制御部がカウンタをそなえ、該カウンタによる計数結果に基づいて、上記の並散データバス部における各データ保持部へのデータ保持が順次更新されていくように構成されたことを特徴とする。請求項1又は請求項2に記載のマッチドフィルタ。

【請求項5】 該並散データバス部の該並散データの入力側に、該並散データ入力制御部からの制御信号に応じて、該並散データバス部へ該並散データを入力させるかどうかの制御を行なうゲート部が設けられたことを特徴とする、請求項1又は請求項2に記載のマッチドフィルタ。

【請求項6】 該並散データバス部におけるデータ保持部のクロック入力側に、該並散データ入力制御部からの制御信号を遅延させて該遅延出力を該データ保持部へのクロック入力信号とする遅延部が設けられたことを特徴とする、請求項1, 2, 5のいずれかに記載のマッチドフィルタ。

【請求項7】 該並散データバス部におけるデータ保持部のクロック入力側に、システムクロックを反転すると

ともに、このシステムクロック反転信号と該並散データ入力制御部からの制御信号との論理積演算を施して該論理積演算出力を該データ保持部へのクロック入力信号とする論理回路部が設けられたことを特徴とする。請求項1, 2, 5のいずれかに記載のマッチドフィルタ。

【請求項8】 該並散データバス部と該演算部との間に、上記の各データ保持部からの出力を選択的に該演算部へ出力しうるセレクタ部が設けられるとともに、該セレクタ部の選択制御を行なうセレクタ制御部が設けられたことを特徴とする。請求項1又は請求項2に記載のマッチドフィルタ。

【請求項9】 受信アンテナを通じて受信されたCDMA通信方式の受信信号について並散復調を施す並散復調部をそなえたCDMA通信方式の無線受信装置において。

該並散復調部が、

並散データを入力されるべく複数のデータ保持部を並列的に配置した構成の並散データバス部と、該並散データの入力に応じて上記の並散データバス部における各データ保持部へのデータ保持制御を順次行なっていく並散データ入力制御部と、上記の並散データバス部の各データ保持部からの出力と、並散符号との乗算を行なうとともに、それぞれの乗算結果を加算して出力する演算部とを有するマッチドフィルタをそなえて構成されていることを特徴とする、CDMA通信方式の無線受信装置。

【請求項10】 受信アンテナを通じて受信されたCDMA通信方式でQPSK変調を施された受信信号について並散復調を施す並散復調部をそなえたCDMA通信方式の無線受信装置において。

該並散復調部が、並散データを入力されるべく複数のデータ保持部を並列的に配置した構成の並散データバス部と、該並散データの入力に応じて上記の並散データバス部における各データ保持部へのデータ保持制御を順次行なっていく並散データ入力制御部と、上記の並散データバス部の各データ保持部からの出力と、チャネル用並散符号との乗算を行なうとともに、それぞれの乗算結果を加算して出力する第1演算部と、上記の並散データバス部の各データ保持部からの出力とQチャネル用並散符号との乗算を行なうとともに、それぞれの乗算結果を加算して出力する第2演算部とを有するマッチドフィルタをそなえて構成されていることを特徴とする、CDMA通信方式の無線受信装置。

【発明の詳細な説明】

【0001】(目次)

発明の属する技術分野

従来の技術(図20~図24)

発明が解決しようとする課題

課題を解決するための手段(図1, 図2)

発明の実施の形態

- ・第1実施形態の变形例の説明(図9)
- ・第2実施形態の説明(図10~図12)
- ・その他(図15~図19)

発明の効果

[0002]

【発明の属する技術分野】本発明は、広帯域DS-CDMA方式を用いて好適な、マッチドフィルタ及びCDMA通信方式の無線受信装置に関する。

[0003]

【従来の技術】近年、第3世代移動無線通信方式の無線インターフェースの検討が活発に行なわれているが、第3世代システムの無線アクセス方式として、符号分割多接続(以下、CDMA: Code Division Multiple Access)方式が有望と考えられており、日本では、郵政省電波産業会(ARIB)において、直接スペクトラム並散変調(以下、DS-Spread Spectrum)を用いたDS-CDMA方式をベースに検討が進められている。

【0004】並散帯域幅が1.25MHzの狭帯域DS-CDMA(Narrowband DS-CDMA)方式は、IS-95として、既に米国のデジタルセルラの標準には用されている。これに対して、拡散帯域幅を5MHz以上にした広帯域DS-CDMA(Wideband DS-CDMA)方式は、セルラCDMAが持つ高い周波数利用効率に加えて、伝送レートに対する柔軟性と高速データ伝送特性において優れた特長を持っている。

【0005】DS-CDMA方式を使用した信号伝送方法は、送信側は、送信しようとするディジタル信号を、異なる並散符号(PN符号: Pseudo Noise 符号)を掛け合わせることによって帯域拡散させた後、送信し、一方、受信側では、全ての受信信号の中から、希望の受信信号を取り出すために、相関受信が行なわれる。すなわち、送信と同一のパターンを持った並散レプリカ符号との相互相間をとることにより相関ピークを検出して、同期捕捉及び保持を行ない、復調する。

【0006】相互相間を実現するデバイスは、スライディング相間器に代表される能動相間素子と、マッチドフィルタ、SAW(Surface Acoustic Wave)コンポルバー、CCD(Coupled Charge Device)などの能動相間素子とに大別される。ここで、能動相間素子とは、受信信号をいったん記憶した後、並散レプリカ符号をチップ時間(chip duration)毎に1ビットづつずらして逐次的に、EXOR演算を取って、加算出力するものであって、ハードウェア規模は小さくてよいが、同期捕捉に*

$$x(t) = D_1(t) + i \cdot D_2(t)$$

$$y(t) = C_1(t) + i \cdot C_2(t)$$

$Q_1(t)$ と $Q_2(t)$ の乗積をとると、次の式(1)のようになる。

*は、非常に時間がかかる。

【0007】これに対し、能動相間素子とは、チップレート(chip rate)で入力されてくる受信信号と、並散レプリカ信号とを、チップ時間毎に時々刻々とEXOR演算を取って、加算出力するものであって、ハードウェア規模は大きくなるが、同期捕捉はきわめて高速である。このため、同期捕捉が高速であるマッチドフィルタが使用されることが多い。

【0008】マッチドフィルタは、比較的長いPNコードにも対応可能であり、初期捕捉がきわめて速いえ、逆並散まで一度に完了でき、フルディジタルなので、LSI技術による小型化がし易いなどメリットがあるが、広帯域信号に対応する高速なチップレートの信号に対しては、消費電力がかなり増加するという課題がある。特に携帯端末などへ応用する場合、マッチドフィルタの低消費電力問題を解決しなければならない。

【0009】一般的な、DS-CDMA方式を用いた無線端末の送信部のブロック図を、図20に示す。この図20に示すDS-CDMA方式を用いた無線端末の送信部30は、ベースバンド信号に対して一次変調を施し、帯域拡散処理を施し、アップコンバートした後に、増幅して、アンテナから無線伝播路に送出するものであって、一次変調部31、拡散変調部32、周波数交換部33、RF増幅部34、アンテナ35をそなえて構成されている。

【0010】一次変調部31は、ベースバンド信号をデジタル変調するものである。また、拡散変調部32は、一次変調された信号に帯域拡散処理を施すものである。例えば、一次変調方式に、QPSK(Quadrature Phase Shift Keying)変調方式を用いる場合は、図21に示すように、データシンボル D_1, D_2 は、拡散コード C_1, C_2 と乘算器36a, 36b, 36c, 36dにおいて、復素乗算された後、加算器37a, 37bにおいて加算されて、送信コード S_1, S_2 が得られる。

【0011】すなわち、式で表すと、帯域信号 $Q_1(t), Q_2(t)$ の複素包絡線をそれぞれ $x(t), y(t)$ とし、また、互いに異なった搬送周波数 f_1, f_2 を持つとすると、 $Q_1(t), Q_2(t)$ は次のようになる。

$$Q_1(t) = \operatorname{Re}[x(t) \cdot \exp(j \cdot 2\pi f_1 t)]$$

$$Q_2(t) = \operatorname{Re}[y(t) \cdot \exp(j \cdot 2\pi f_2 t)]$$

ここで、 $\operatorname{Re}()$ は、実数部を表わし、 $x(t), y(t)$ は、次式で表される複素数である。

[0012]

5

$$\begin{aligned}
 & Q_1(t) \cdot Q_2(t) \\
 & = \operatorname{Re} [x(t) \cdot y(t) \cdot \exp(j \cdot 2\pi(f_1 + f_2)t / 2)] \\
 & + \operatorname{Re} [x'(t) \cdot y(t) \cdot \exp(j \cdot 2\pi(f_2 - f_1)t / 2)] \\
 & \quad \cdots (1)
 \end{aligned}$$

ここで、 $x'(t)$ は、 $x(t)$ の複素共役である。
【0013】式(1)の第1項が帯域を拡散した信号を表すので、送信コード S_1, S_2 は、次式のようになる。

$$S_1 = \operatorname{Re} [(D_1 + i \cdot D_2) \cdot (C_1 + i \cdot C_2)]$$

$$S_2 = \operatorname{Im} [(D_1 + i \cdot D_2) \cdot (C_1 + i \cdot C_2)]$$

ここで、 $\operatorname{Im}()$ は、虚数部を表す。

【0014】周波数変換部33は、拡散変調部32の出力の送信コードをアップコンバートするものである。RF増幅部34は、帯域拡散された無線信号を、電力増幅するものであり、具体的にはハイパワーアンプ(HPA)から構成される。アンテナ35は、RF増幅部34の出力における無線信号を無線伝播路に送出するものである。

【0015】次に、受信系について説明する。図22に、一般的なDS-CDMA方式を用いた無線端末の受信部のブロック図を示す。この図22に示すDS-CDMA方式を用いた無線端末の受信部40は、無線信号を受信し、その受信信号を増幅し、ダウンコンバートした後、逆拡散を施し、一次復調を行なって、情報データを取り出すものであって、アンテナ41、RF増幅部42、周波数変換部43、拡散復調部44、一次復調部45をそなえて構成されている。

【0016】アンテナ41は、無線信号を受信するものである。RF増幅部42は、帯域拡散されて大変弱い無線信号を、低雜音で増幅するものであり、具体的にはローノイズアンプ(LNA)から構成される。周波数変換部43は、RF増幅部42の出力における無線信号をダウコンバートするものである。

【0017】拡散復調部44は、周波数変換部43でダウ

$$Q_{12}(t) = \operatorname{Re} [r_{12}(t) \cdot \exp(j \cdot 2\pi(f_2 - f_1)t)]$$

ここで、複素包絡線 $r_{12}(t)$ は、次式で表される。

$$r_{12}(t) = x(t) \cdot y'(t) / 2 \quad \cdots (2)$$

また、 $y'(t)$ は、 $y(t)$ の複素共役を表す。

【0021】同期検波によると、搬送周波数 $f_m = f_1$ ※なって、定数項を無視すると、式(2)は、

$$\begin{aligned}
 r_{12}(t) &= x_1(t) \cdot y_1'(t) \\
 &= (D_1 + i \cdot D_2) \cdot (C_1 - i \cdot C_2) \\
 &= D_1 \cdot C_1 + D_2 \cdot C_2 \\
 &+ i \cdot (C_1 \cdot D_2) - i \cdot (D_1 \cdot C_2) \quad \cdots (3)
 \end{aligned}$$

で表される。従って、その出力における同相成分 S_1 、直交成分 S_2 は、

$$S_1 = D_1 \cdot C_1 + D_2 \cdot C_2 \quad \cdots (4-1)$$

$$S_2 = C_1 \cdot D_2 - D_1 \cdot C_2 \quad \cdots (4-2)$$

で表される。

【0022】ハイブリッド器44aは、受信信号をIチャ

6

*ウコンバートされた信号と、受信機内部で発生させた拡散レプリカ符号(PN符号)との帯域相互干渉をとつて、狭帯域信号を取り出すものであって、図23に示すように、ハイブリッド器44a、ミキサ44b、局部発振器44c、90°移相器44d、ミキサ44e、A/D

10 D(アナログ/デジタル)変換器44f、拡散レプリカ符号発生器44g、A/D変換器44h、マッチドフィルタ20-1~20-4、加算器44i、44jをそなえて構成されている。

【0018】また、一次復調部45は、拡散復調部44の出力における、逆拡散されたディジタル信号をディジタル復調するものである。ここで、拡散復調部44の帯域相互干渉演算を数式で表すと、以下に示すような過程をとる。すなわち、受信された帯域信号を $Q_1(t)$ 、復調部の局部発振器の帯域信号を $Q_2(t)$ とし、それ

20 ぞれの複素包絡線を $x(t), y(t)$ 、また、搬送周波数 f_1, f_2 を持つとすると、 $Q_1(t), Q_2(t)$ は次式のように表される。

$$Q_1(t) = \operatorname{Re} [x(t) \cdot \exp(j \cdot 2\pi f_1 t)]$$

$$Q_2(t) = \operatorname{Re} [y(t) \cdot \exp(j \cdot 2\pi f_2 t)]$$

また、 $x(t), y(t)$ は、次式で表されるような複素数である。

$$x(t) = D_1(t) + i \cdot D_2(t)$$

$$y(t) = C_1(t) + i \cdot C_2(t)$$

ここで、 D_1, D_2 は、それぞれ受信したデータ符号の同相成分、直交成分を表し、 C_1, C_2 は、それぞれ自局で発生させた拡散レプリカ符号の同相成分、直交成分を表す。

【0020】 $Q_1(t), Q_2(t)$ の帯域相互干渉 $Q_{12}(t)$ は、次式で表される。

$$Q_{12}(t) = Q_1(t) \cdot Q_2(t)$$

49*であるので、 $r_{12}(t)$ は直接低域信号 $r_{12}(t)$ となって、定数項を無視すると、式(2)は、

ヤカルとQチャナルとに、分波するものである。ミキサ

ナル信号に対して、局部発振器44cから出力されるアナログ正弦波を掛け合わせて、無線信号からベースバンド信号を取り出すものである。また同様に、ミキサ44eは、ハイブリッド器44aの出力におけるQチャネル信号に対して、90°移相器44dを通して位相を90°ずらしたアナログ余弦波を掛け合わせて、無線信号からベースバンド信号を取り出すものである。

【0023】A/D変換器44fは、ミキサ44bの出力信号をアナログ・ディジタル変換するものであり、同様に、A/D変換器44iは、ミキサ44eの出力信号をアナログ・ディジタル変換するものである。並散レプリカ符号発生器44gは、逆並散のため、送信側と同じ系列のPN符号である並散レプリカ符号C₁、C₂を発生するものであり、具体的には、数カ所のタップから帰還線を設けた巡回シフトレジスタで構成されている。

【0024】ここで、受信側の同相成分、直交成分をそれぞれ同相成分用、直交成分用の並散符号によって逆並散するだけでは、両並散符号間の相互相關によって、逆並散後の信号のS/N(Signal/Noise)比が劣化するため、同相、直交それぞれの成分は、それぞ

*れ2回づつ、逆並散は計4回行なわれる。すなわち、マッチドフィルタ20-1は、A/D変換器44fの出力信号D₁と並散レプリカ符号発生器44gの出力信号C₁との帯域相互相關演算、具体的には、上記式(3)の第1項に対応した演算を行なうものである。

【0025】同様に、マッチドフィルタ20-2は、A/D変換器44fの出力信号D₂と並散レプリカ符号発生器44gの出力信号C₂との帯域相互相關演算、具体的には、上記式(3)の第4項に対応した演算を行なうものである。同様に、マッチドフィルタ20-3は、A/D変換器44hの出力信号D₃と並散レプリカ符号発生器44gの出力信号C₃との帯域相互相關演算、具体的には、上記式(3)の第3項に対応した演算を行なうものである。

【0026】同様に、マッチドフィルタ20-4は、A/D変換器44hの出力信号D₄と並散レプリカ符号発生器44gの出力信号C₄との帯域相互相關演算、具体的には、上記式(3)の第2項に対応した演算を行なうものである。そして、各マッチドフィルタ内で行なわれる演算は、

$$M(nT) = \sum_{k=1}^n R(k) \cdot P(nT - kT) \quad \dots \quad (5)$$

で表される。ここで、Tはタップ時間、R(k)はタップ数、R(k)は並散レプリカ符号、nは整数、P(nT)は入力並散データを表す。

【0027】このマッチドフィルタを用いることにより、初期捕獲が極めて速くなり、逆並散までを一度に完了することができるが、その一方で、長いシフトレジスタ及び加算器による回路規模、消費電力の増大などが課題となっている。加算器44iは、マッチドフィルタ20-1の出力信号と、マッチドフィルタ20-4の出力信号とを加算して、1チャネルデータS₁を取り出すものであり、同様に、加算器44jは、マッチドフィルタ20-2の出力を反転した信号と、マッチドフィルタ20-3の出力信号とを加算し、QチャネルデータS₂を取り出すものである。

【0028】図24に、従来のマッチドフィルタのブロック図を示す。この図24に示すマッチドフィルタ28は、受信したタップレートの速さを持つ並散データと、自局で発生させた並散レプリカ符号との、EXOR演算を行ない、その結果を加算して出力するもので、並散データバス部22、乘算部23、レプリカ符号用レジスタ24、加算部25をそなえて構成されている。また、具体的な数値例として、並散データバスビット数は8、タップ数は256、オーバーサンプリング数は4であるとする。

$$M = T \times O$$

また、これから、必要な全フリップフロップの数Nは、次式で表される。

$$N = D \times M$$

ここで、Dは、並散データバスビット数であり、一次変調の変調多値数分のビット数のデータ幅を表し、Tは、

*【0029】ここで、並散データバスビット数は、一次変調の変調多値数分のビット数のデータ幅を表し、図例では1シンボルを8ビットで受信したことになる。また、タップ数は、並散符号長を表す。さらに、オーバーサンプリング数は、1タップ時間内に何回サンプリングを行なうかを表す。

【0030】並散データバス部22は、サンプリングクロック毎に、受信した並散データを取り込んで、そのデータ符号を1段づつシフトさせるシフトレジスタ群であって、シフトレジスタ22-a、22-b、22-c、22-d、22-e、22-f、22-g、22-hの8本がパラレルに配置されて構成される。そして、各シフトレジスタは、多段直列に連結したフリップフロップ(以下、フリップフロップをFFと称することがある)から構成されている。

【0031】すなわち、シフトレジスタ22-aは、M段直列に連結されたFF22-1a～FF22-Maをそなえて構成され、シフトレジスタ22-bは、M段直列に連結されたFF22-1b～FF22-Mbをそなえて構成され、同様にして、シフトレジスタ22-hは、M段直列に連結されたFF22-1h～FF22-Mhをそなえて構成されている。

【0032】ここで、Mは、タップ数Tと、オーバーサンプリング数Oによって次式のように表される。

$$\dots \quad (6)$$

$$\dots \quad (7)$$

タップ数であり、Oは、オーバーサンプリング数を表す。

【0033】なお、以下の説明のため、複数フリップフロップ（以下、この複数フリップフロップをFFsと称することがある）を定義しておく。すなわち、FFs 22-1は、FF22-1aからFF22-1hを横断的に8個並列に配置して構成され、FFs 22-2は、FF22-2aからFF22-2hを横断的に8個並列に配置して構成され、同様にして、FFs 22-Mは、FF22-MaからFF22-Mhの8個を串刺しするように、横断的に8個並列に配置して構成されている。また、それぞれの複数フリップフロップは、8ビットの受信符号の2の補数を格納し、次段での演算を簡単化するようにしている。

【0034】レプリカ符号用レジスタ24は、拡散レブ*

$$U = \text{チップ時間} \times \text{タップ数}$$

である。

【0036】すなわち、式(5)の演算を完成するためには、入力拡散データをそれぞれ、U(秒)間だけ保持すれば良く、シフトの必要は全くない。また、式(5)の演算は、前後の演算結果に依存しないため、演算器の順番或いは位置からくる制限がなく、どこで演算を行なってもよい。さらに、全ての入力拡散データに対して、演算の内容は、全く同じであるため、「対称的」な演算であることがわかる。

【0037】本発明は、このような拡散信号を追拡散する方式に必要なキーデバイスである。マッチドフィルタの低電力化に関するものである。

【0038】

【発明が解決しようとする課題】よって、マッチドフィルタは、次のような特徴がある。

- ①入力拡散データの1周期U(秒)間保存。
- ②演算空間の独立性。すなわち、演算器の順番或いは位置からくる制限がなく、どこで演算を行なってもよい。

【0039】③演算の対称性

さらに、動作的な面から、次のような特徴が挙げられる。

- ④チップレート或いはそれ以上の回波数（オーバサンプリングが2以上の場合）で動作する。
- ⑤拡散データバス部は、シフトレジスタ構成が主流であるため、すべてのフリップフロップが、サンプリングロック毎に動作している。

【0040】⑥QPSK変調の場合、1チャネル(c/h)と、Qチャネル(ch)を分離するため、基本的に4つのマッチドフィルタが必要である。

⑦、⑧の理由により、拡散データバス部22のスイッチング率(Switching Rate)は、非常に高くなり、消費電力が大きいという課題がある。ここで、スイッチング率とは、回路内で、動作している素子の割合を表す。

【0041】本発明は、このような課題に鑑み創案され

* リカ符号発生器で発生させた拡散レプリカ符号を格納しておくレジスタである。乗算部23は、拡散データバス部22の出力と、レプリカ符号用レジスタ24の出力を乗算するものであり、その段数は、拡散データバス部22の出力の各タップと対応するように、式(6)で表される。具体的には、EXORゲートによって実現される。また、拡散符号(1, -1)はそれぞれ、(0, 1)で表現される。

【0035】加算部25は、乗算部23からの丁目のタップ出力の和を取って、8ビットで出力するものである。式(5)から、入力される拡散データP(nT)のライフタイムは、ちょうど拡散符号の1周期に相当するU(秒)である。ここでUは、

$$\dots (8)$$

たもので、マッチドフィルタの消費電力を低減させるために、マッチドフィルタ計算の特徴、データ依存性、データ対称性を利用した、デジタル回路の低電力設計手法を用いることで、最適なアーキテクチャーを選択し、回路全体のスイッチング率を効果的に下げ、前述の問題を解決するマッチドフィルタ及びCDMA通信方式の無線受信装置を提供することを目的とする。

【0042】

【課題を解決するための手段】図1は本発明の原理ブロック図で、この図に示すように、本発明にかかるマッチドフィルタ1は、拡散データ入力制御部2、拡散データバス部3、演算部5をそなえて構成されている。ここで、拡散データバス部3は、拡散データを入力されるべく、複数のデータ保持部4を並列的に配置して構成されているもので、データ入力制御部2は、受信した拡散データの入力に応じて、上記の拡散データバス部3における各データ保持部4へのデータ保持制御を順次行なっていくものである。また、演算部5は、拡散データバス部3の各データ保持部4からの出力と、拡散符号との乗算を行なうとともに、それぞれの乗算結果を加算して出力するものである(請求項1)。

【0043】また、図2は、本発明の別の原理ブロック図で、この図に示すように、本発明にかかるマッチドフィルタ6は、拡散データ入力制御部2、拡散データバス部3、複数演算部19をそなえて構成されている。ここで、拡散データバス部3は、拡散データを入力されるべく、複数のデータ保持部4を並列的に配置して構成されているもので、拡散データ入力制御部2は、該拡散データの入力に応じて、上記の拡散データバス部3における各データ保持部4へのデータ保持制御を順次行なっていくものである。また、複数演算部19は、上記の拡散データバス部3の各データ保持部4からの出力を共通信号として、該各データ保持部4からの出力と、拡散符号との乗算を行なうとともに、それぞれの乗算結果を加算して出力する複数の演算部5をそなえて構成されている(請求項2)。

【0044】また、図1又は図2に記載のマッチドフィルタにおいては、該拡散データ入力制御部2が、複数の有限状態保持部を環状に配置したラウンドロビン環をそなえ、該ラウンドロビン環における複数の有限状態保持部のうちの1つの有限状態保持部のみが他の有限状態保持部と状態が異なるように、該複数の有限状態保持部の状態を順次変更していくことにより、上記の拡散データバス部3における各データ保持部4へのデータ保持が順次更新されていくように構成することができる（請求項3）。

【0045】さらに、図1又は図2に記載のマッチドフィルタにおいては、該拡散データ入力制御部2がカウンタをそなえ、該カウンタによる計数結果に基づいて、上記の拡散データバス部3における各データ保持部4へのデータ保持が順次更新されていくように構成することもできる（請求項4）。そして、図1又は図2に記載のマッチドフィルタにおいては、該拡散データバス部3の該拡散データの入力側に、該拡散データ入力制御部2からの制御信号に応じて、該拡散データバス部3へ該拡散データを入力させるかどうかの制御を行なうゲート部を設けて構成することもできる（請求項5）。

【0046】ここで、図1又は図2又は請求項5に記載のマッチドフィルタにおいては、該拡散データバス部3におけるデータ保持部4のクロック入力側に、該拡散データ入力制御部2からの制御信号を遮断させて該遮断出力を該データ保持部4へのクロック入力信号とする遮断部を設けて構成してもよく（請求項6）、該拡散データバス部3におけるデータ保持部4のクロック入力側に、システムクロックを反転するとともに、このシステムクロック反転信号と該拡散データ入力制御部2からの制御信号との論理積演算を施して該論理積演算出力を該データ保持部4へのクロック入力信号とする論理回路部を設けて構成してもよい（請求項7）。

【0047】さらに、図1又は図2に記載のマッチドフィルタにおいては、該拡散データバス部3と該演算部6との間に、上記の各データ保持部4からの出力を選択的に該演算部5へ出力しうるセレクタ部が設けられるとともに、該セレクタ部の選択制御を行なうセレクタ制御部を設けて構成することができる（請求項8）。ところで、本発明のCDMA通信方式の無線受信装置は、受信アンテナを通じて受信されたCDMA通信方式の受信信号について拡散復調を施す拡散復調部をそなえたCDMA通信方式の無線受信装置において、該拡散復調部が、拡散データを入力されるべく複数のデータ保持部を並列的に配置した構成の拡散データバス部と、該拡散データの入力に応じて上記の拡散データバス部における各データ保持部へのデータ保持制御を順次行なっていく拡散データ入力制御部と、上記の拡散データバス部の各データ保持部からの出力と、拡散符号との乗算を行なうとともにそれぞれの乗算結果を加算して出力する演算部とを有

するマッチドフィルタをそなえて構成されていることを特徴としている（請求項9）。

【0048】また、本発明のCDMA通信方式の無線受信装置は、受信アンテナを通じて受信されたCDMA通信方式でQPSK変調を施された受信信号について拡散復調を施す拡散復調部をそなえたCDMA通信方式の無線受信装置において、該拡散復調部が、拡散データを入力されるべく複数のデータ保持部を並列的に配置した構成の拡散データバス部と、該拡散データの入力に応じて

10 上記の拡散データバス部における各データ保持部へのデータ保持制御を順次行なっていく拡散データ入力制御部と、上記の拡散データバス部の各データ保持部からの出力とIチャネル用拡散符号との乗算を行なうとともに、それぞれの乗算結果を加算して出力する第1演算部と、上記の拡散データバス部の各データ保持部からの出力とQチャネル用拡散符号との乗算を行なうとともにそれぞれの乗算結果を加算して出力する第2演算部とを有するマッチドフィルタをそなえて構成していることを特徴としている（請求項10）。

20 【0049】

【発明の実施の形態】以下、図面を参照して、本発明の実施形態を説明する。

(A) 本発明の第1実施形態

本発明の第1実施形態にかかるディジタルマッチドフィルタも、前述した広帯域DS-CDMA方式を用いた無線端末の受信部の拡散復調部に設けられるものである。

【0050】即ち、図3に示すように、第1実施形態にかかるディジタルマッチドフィルタが適用された拡散復調部44についても、ハイブリッド器44a、ミキサ44b、局部発振器44c、90°移相器44d、ミキサ44e、A/D変換器44f、拡散レプリカ符号発生器44g、A/D変換器44h、ディジタルマッチドフィルタ（低電力マッチドフィルタ）20-1～20-4、加算器44i、44jをそなえて構成されている。

30 【0051】これにより、拡散復調部44では、周波数変換部43でダウンコンバートされた無線信号を、ハイブリッド器44aにおいて、IチャネルとQチャネルとに分波し、ミキサ44eにおいて、Iチャネルを、局部発振器44cから出力されるアナログ正弦波と掛け合わせ、また、ミキサ44eにおいて、Qチャネルを、局部発振器44cの出力波形が90°移相器44dにて移相されたアナログ余弦波と掛け合わせ。そして、A/D変換器44f、44hにおいて、ミキサ44e、ミキサ44eからの出力信号をアナログ・デジタル変換し、ディジタルマッチドフィルタ20-1～20-4において、拡散レプリカ符号発生器44gの出力における拡散レプリカ符号C₁、C₂と、A/D変換器44f、44hからの出力信号であるD₁、D₂とにより、帯域相互関演算を行なう。さらに、加算器44i、44jにおいて、ディジタルマッチドフィルタ20-1～20-4

40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 64 65 66 67 68 69 70 71 72 73 74 75 76 77 78 79 80 81 82 83 84 85 86 87 88 89 90 91 92 93 94 95 96 97 98 99 100 101 102 103 104 105 106 107 108 109 110 111 112 113 114 115 116 117 118 119 120 121 122 123 124 125 126 127 128 129 130 131 132 133 134 135 136 137 138 139 140 141 142 143 144 145 146 147 148 149 150 151 152 153 154 155 156 157 158 159 160 161 162 163 164 165 166 167 168 169 170 171 172 173 174 175 176 177 178 179 180 181 182 183 184 185 186 187 188 189 190 191 192 193 194 195 196 197 198 199 200 201 202 203 204 205 206 207 208 209 210 211 212 213 214 215 216 217 218 219 220 221 222 223 224 225 226 227 228 229 230 231 232 233 234 235 236 237 238 239 240 241 242 243 244 245 246 247 248 249 250 251 252 253 254 255 256 257 258 259 260 261 262 263 264 265 266 267 268 269 270 271 272 273 274 275 276 277 278 279 280 281 282 283 284 285 286 287 288 289 290 291 292 293 294 295 296 297 298 299 300 301 302 303 304 305 306 307 308 309 310 311 312 313 314 315 316 317 318 319 320 321 322 323 324 325 326 327 328 329 330 331 332 333 334 335 336 337 338 339 340 341 342 343 344 345 346 347 348 349 350 351 352 353 354 355 356 357 358 359 360 361 362 363 364 365 366 367 368 369 370 371 372 373 374 375 376 377 378 379 380 381 382 383 384 385 386 387 388 389 390 391 392 393 394 395 396 397 398 399 400 401 402 403 404 405 406 407 408 409 410 411 412 413 414 415 416 417 418 419 420 421 422 423 424 425 426 427 428 429 430 431 432 433 434 435 436 437 438 439 440 441 442 443 444 445 446 447 448 449 4410 4411 4412 4413 4414 4415 4416 4417 4418 4419 4420 4421 4422 4423 4424 4425 4426 4427 4428 4429 44200 44201 44202 44203 44204 44205 44206 44207 44208 44209 442010 442011 442012 442013 442014 442015 442016 442017 442018 442019 442020 442021 442022 442023 442024 442025 442026 442027 442028 442029 442030 442031 442032 442033 442034 442035 442036 442037 442038 442039 442040 442041 442042 442043 442044 442045 442046 442047 442048 442049 442050 442051 442052 442053 442054 442055 442056 442057 442058 442059 442060 442061 442062 442063 442064 442065 442066 442067 442068 442069 442070 442071 442072 442073 442074 442075 442076 442077 442078 442079 442080 442081 442082 442083 442084 442085 442086 442087 442088 442089 442090 442091 442092 442093 442094 442095 442096 442097 442098 442099 4420100 4420101 4420102 4420103 4420104 4420105 4420106 4420107 4420108 4420109 4420110 4420111 4420112 4420113 4420114 4420115 4420116 4420117 4420118 4420119 44201100 44201101 44201102 44201103 44201104 44201105 44201106 44201107 44201108 44201109 44201110 44201111 44201112 44201113 44201114 44201115 44201116 44201117 44201118 44201119 442011100 442011101 442011102 442011103 442011104 442011105 442011106 442011107 442011108 442011109 442011110 442011111 442011112 442011113 442011114 442011115 442011116 442011117 442011118 442011119 4420111100 4420111101 4420111102 4420111103 4420111104 4420111105 4420111106 4420111107 4420111108 4420111109 4420111110 4420111111 4420111112 4420111113 4420111114 4420111115 4420111116 4420111117 4420111118 4420111119 44201111100 44201111101 44201111102 44201111103 44201111104 44201111105 44201111106 44201111107 44201111108 44201111109 44201111110 44201111111 44201111112 44201111113 44201111114 44201111115 44201111116 44201111117 44201111118 44201111119 442011111100 442011111101 442011111102 442011111103 442011111104 442011111105 442011111106 442011111107 442011111108 442011111109 442011111110 442011111111 442011111112 442011111113 442011111114 442011111115 442011111116 442011111117 442011111118 442011111119 4420111111100 4420111111101 4420111111102 4420111111103 4420111111104 4420111111105 4420111111106 4420111111107 4420111111108 4420111111109 4420111111110 4420111111111 4420111111112 4420111111113 4420111111114 4420111111115 4420111111116 4420111111117 4420111111118 4420111111119 44201111111100 44201111111101 44201111111102 44201111111103 44201111111104 44201111111105 44201111111106 44201111111107 44201111111108 44201111111109 44201111111110 44201111111111 44201111111112 44201111111113 44201111111114 44201111111115 44201111111116 44201111111117 44201111111118 44201111111119 442011111111100 442011111111101 442011111111102 442011111111103 442011111111104 442011111111105 442011111111106 442011111111107 442011111111108 442011111111109 442011111111110 442011111111111 442011111111112 442011111111113 442011111111114 442011111111115 442011111111116 442011111111117 442011111111118 442011111111119 4420111111111100 4420111111111101 4420111111111102 4420111111111103 4420111111111104 4420111111111105 4420111111111106 4420111111111107 4420111111111108 4420111111111109 4420111111111110 4420111111111111 4420111111111112 4420111111111113 4420111111111114 4420111111111115 4420111111111116 4420111111111117 4420111111111118 4420111111111119 44201111111111100 44201111111111101 44201111111111102 44201111111111103 44201111111111104 44201111111111105 44201111111111106 44201111111111107 44201111111111108 44201111111111109 44201111111111110 44201111111111111 44201111111111112 44201111111111113 44201111111111114 44201111111111115 44201111111111116 44201111111111117 44201111111111118 44201111111111119 442011111111111100 442011111111111101 442011111111111102 442011111111111103 442011111111111104 442011111111111105 442011111111111106 442011111111111107 442011111111111108 442011111111111109 442011111111111110 442011111111111111 442011111111111112 442011111111111113 442011111111111114 442011111111111115 442011111111111116 442011111111111117 442011111111111118 442011111111111119 4420111111111111100 4420111111111111101 4420111111111111102 4420111111111111103 4420111111111111104 4420111111111111105 4420111111111111106 4420111111111111107 4420111111111111108 4420111111111111109 4420111111111111110 4420111111111111111 4420111111111111112 4420111111111111113 4420111111111111114 4420111111111111115 4420111111111111116 4420111111111111117 4420111111111111118 4420111111111111119 44201111111111111100 44201111111111111101 44201111111111111102 44201111111111111103 44201111111111111104 44201111111111111105 44201111111111111106 44201111111111111107 44201111111111111108 44201111111111111109 44201111111111111110 44201111111111111111 44201111111111111112 44201111111111111113 44201111111111111114 44201111111111111115 44201111111111111116 44201111111111111117 44201111111111111118 44201111111111111119 442011111111111111100 442011111111111111101 442011111111111111102 442011111111111111103 442011111111111111104 442011111111111111105 442011111111111111106 442011111111111111107 442011111111111111108 442011111111111111109 442011111111111111110 442011111111111111111 442011111111111111112 442011111111111111113 442011111111111111114 442011111111111111115 442011111111111111116 442011111111111111117 442011111111111111118 442011111111111111119 4420111111111111111100 4420111111111111111101 4420111111111111111102 4420111111111111111103 4420111111111111111104 4420111111111111111105 4420111111111111111106 4420111111111111111107 4420111111111111111108 4420111111111111111109 4420111111111111111110 4420111111111111111111 4420111111111111111112 4420111111111111111113 4420111111111111111114 4420111111111111111115 4420111111111111111116 4420111111111111111117 4420111111111111111118 4420111111111111111119 44201111111111111111100 44201111111111111111101 44201111111111111111102 44201111111111111111103 44201111111111111111104 44201111111111111111105 44201111111111111111106 44201111111111111111107 44201111111111111111108 44201111111111111111109 44201111111111111111110 44201111111111111111111 44201111111111111111112 44201111111111111111113 44201111111111111111114 44201111111111111111115 44201111111111111111116 44201111111111111111117 44201111111111111111118 44201111111111111111119 442011111111111111111100 442011111111111111111101 442011111111111111111102 442011111111111111111103 442011111111111111111104 442011111111111111111105 442011111111111111111106 442011111111111111111107 442011111111111111111108 442011111111111111111109 442011111111111111111110 442011111111111111111111 442011111111111111111112 442011111111111111111113 442011111111111111111114 442011111111111111111115 442011111111111111111116 442011111111111111111117 442011111111111111111118 442011111111111111111119 4420111111111111111111100 4420111111111111111111101 4420111111111111111111102 4420111111111111111111103 4420111111111111111111104 4420111111111111111111105 4420111111111111111111106 4420111111111111111111107 4420111111111111111111108 4420111111111111111111109 4420111111111111111111110 4420111111111111111111111 4420111111111111111111112 4420111111111111111111113 4420111111111111111111114 4420111111111111111111115 4420111111111111111111116 4420111111111111111111117 4420111111111111111111118 4420111111111111111111119 44201111111111111111111100 44201111111111111111111101 44201111111111111111111102 4420111

における両出力信号を加減算して、IチャネルデータS_I及びQチャネルデータS_Qとして出力する。

【0052】ところで、本第1実施形態にかかる、ディジタルマッチドフィルタ20-1, 20-2, 20-3, 20-4は、受信した並故入力データを、チップ時間毎に、指定された複数フリップフロップのうちの1個に、順次的に書き込み、これと同時に、拡散レブリカ符号(PN符号)を、チップ時間毎にシフトさせて、逆拡散の演算を行なって出力するもので、図4に示すように、並故データ入力制御回路(部)10、拡散データバスレジスタ回路(拡散データバス部)7、オーバサンプリング回路(セレクタ制御部)8、演算回路(部)9をそなえて構成されている。

【0053】ここで、拡散データ入力制御回路10は、受信した拡散入力データを、拡散データビット数づつ順次、並故データバスレジスタ回路7内の1つのデータ保持部としてのFFs 13に書き込みを行なうべく、その書き込み位置を制御するものである。また、拡散データバスレジスタ回路7は、並故データ入力制御回路10によって指定された1つのFFs 13に、チップ時間幅を待つ並故データビット数の受信拡散データを保存するものである。ここで、1つのFFs 13は、1ワードデータを表し、拡散データバス数分のFF 13aが、並列的に配置されており、例えば、拡散データバス数が8の場合においては、並故入力データは8ビットづつ、順次異なるFFs 13に保存される。

【0054】図5に、拡散データ入力制御回路10の構成を示す。図5に示す拡散データ入力制御回路10は、ラウンドロビン環と呼ばれる、数珠状に連絡された複数のフリップフロップ10aから構成されたシフトレジスタであって、全部のFF 10aの出力端子が、次段のFF 10aの入力端子に連絡されて、全体として数珠状に閉じた接続形態をなしている。そして、FF 10aの個数は、(タップ数×オーバサンプリング数)個である。

【0055】また、このFF 10aは、ある有限な状態を保持するもので、具体的にはDFF(Delay F Lip F Loop: 遅延フリップフロップ)などが用いられる。これにより、FF 10aが、有限状態保持部として機能することになる。すなわち、ラウンドロビン環内で、「1」という状態のフリップフロップを常に1つのみにし、残りのフリップフロップはすべて「0」という状態にしておくことで、1つのフリップフロップだけが、他のフリップフロップと状態が異なるようにし、この「1」状態のフリップフロップがサンプリングクロック毎に順次シフトしていく。

【0056】なお、有限状態保持部としては、1ビットのフリップフロップに限定されるものではなく、その他のものを用いてもよい。そして、各FF 10aの出力は、次段の拡散データバスレジスタ回路7の各FFs 13に、過不足なくつながっており、この値が「1」とな

ることによって、唯一のFFs 13がアクティブにされて、その内容が更新される。

【0057】ここで、拡散データバスレジスタ回路7の各FFs 13が更新される周期は、(タップ数×チップ時間)の期間であり、拡散符号の全長が現れるのに要する時間に相当する。また、このような構成により、(タップ数×オーバサンプリング数)段数のラウンドロビン環で「1」となったフリップフロップにつながっているFFs 13のみが、入力側から自分宛ての1ワード分の拡散入力データをラッチするので、ラウンドロビン環は、各FFs 13に対してデータ更新できる順番を知らせる働きをしている。

【0058】図13に、FFs 13の回路構成を示す。この図13に示すFFs 13は、8個のFF 13aと、8個のANDゲート13bとをそなえて構成されている。なお、図13の8個は、受信した1ワードデータのビット数を表しており、一次変調の変調多値数分のビット数分に対応している。そして、受信した1ワードデータの2の倍数が入っており、これらが、次段のオーバサンプリング回路8に出力される。また、このようなFFs 13の個数は、ラウンドロビン環を構成するFF 10aの数と等しく、(タップ数×オーバサンプリング数)個である。

【0059】また、FF 13aは、ANDゲート13bの出力に応じて、受信した並故データのうちの1ビットを、1周期の間だけ保持するものである。また、ANDゲート13bは、入力制御回路であって、拡散データ入力制御回路10からの制御信号に応じて、受信した拡散データを取り込んで保持するか、若しくは取り込まないかの決定をするゲートである。

【0060】図14(a)に、FF 13aの入力制御回路の構成を示す。ここで、ANDゲート13bは、拡散入力データビットと、拡散データ入力制御回路10から出力されるFF入力制御信号との論理積を取って、その出力がFF 13aのD端子に入力されるものである。図14(b)に、FF 13aのタイミングチャートを示す。すなわち、FF入力制御信号R B-CNTがオンになると、各FF 13aのイネーブル端子がアクティブになり、クロックCLKの立ち上がりエッジで、並故入力データビットは、各FF 13aのD端子に取り込まれる。逆に、オフのときは、各FF 13aはスリープになるので、並故入力データビットは、各FF 13aに取り込まれない。

【0061】また、このようにして、並故データバス回路7の各FFs 13の入力は、並故入力データとは常に接続されず、データ入力時以外は停止状態になるため、各FFs 13のデータ入力端子のスイッチング率を抑えられ、無駄な電力を消費しない。すなわち、ある時刻に、動作しているFFs 13は、並故データバスのビット数幅の1ワード分だけとなり、並故データバス回路

7の各FFs 13の入力端子のスイッチング率は、大幅に下げられ、消費電力を効果的に低減することができる。

【0062】なほ、ここで、書き込み制御の動きは、拡散データバスレジスタ回路7が、あたかも環状に配置されているように見える。この「環状」という語について説明する。図6に示すように、各FFs 13の出力のQ端子と、次段のFFs 13の入力のD端子は、回路的には、追従しているわけではないが、拡散データ入力制御回路10が、中心に位置し、その回りを拡散データバス回路7の各FFs 13が、概念的には、放射円状に配置されていて、更新タイミングの順番が割り振られていると描らえることができる。

【0063】さらに、拡散データバスレジスタ回路7は、受信した拡散入力データを保持する複数個のFFs 13から構成されており、このFFs 13を単位に拡散データ入力が更新される。次に、オーバサンプリング制御について説明する。オーバサンプリング数が1なら制御方法を検討する必要はないが、1より大きい場合は、1チップ時間内に行なわれるオーバサンプリングの度に、FFs 13のシフト制御が必要となる。すなわち、例えば、4倍サンプリングのとき、1チップ時間内に4回乗算が繰り返されるので、各サンプリングクロック毎に拡散データバス回路7のFFs 13の出力をずらしていくかなくてはならない。

【0064】図7に、一般的な4倍オーバサンプリング制御回路の1例を示す。この図7に示す4倍オーバサンプリング制御回路50は、FFs 13が(タップ数×4)段直列に連結したシフトレジスタ群から構成される。この、4倍オーバサンプリング制御回路50は、受信した8ビット幅の拡散データ入力をサンプリングクロック毎にシフトさせるレジスタであって、4段毎のFFs 13のデータが出力され、その出力が、演算回路51に入力される。

【0065】演算回路51は、4倍オーバサンプリング制御回路50からの受信符号と、外部の拡散レプリカ符号発生器44gからの拡散レプリカ符号とを逆拡散演算するもので、乗算回路51a、加算回路51bをそなえて構成されている。乗算回路51aは、4倍オーバサンプリング制御回路50から出力される4クロック毎の8ビットデータと、拡散レプリカ符号発生器44gからの8ビット拡散レプリカ符号とをEXOR演算して、加算回路51bに出力するものである。

【0066】また、加算回路51bは、乗算回路51aからの出力をすべて足し合わせるものである。このように、拡散レプリカ符号発生器44gのデータはシフトせずに、4倍オーバサンプリング制御回路50のデータがシフトして演算が行なわれる。また、4倍オーバサンプリング制御回路50のデータは、1周期の間更新されない。

【0067】これに対して本発明では、データが1周期の間更新されない点は同じであるが、受信した拡散入力データはシフトせずに、拡散レプリカ符号がシフトするようになっている。このため、拡散入力データを選択する手段が必要となる。図8に、本発明にかかる4倍オーバサンプリング制御回路の構成を示す。この図8に示す、オーバサンプリング制御回路8は、拡散データバスレジスタ回路7内の複数のFFs 13の中から1つの出力を選択して、演算回路9へ出力するもので、複数のセレクタ(SLT)8a、「0」-状態のFSM('0'-State Finite State Machine:有限状態マシン)8bをそなえて構成されている。

【0068】セレクタ8aは、拡散データバスレジスタ回路7における4個のFFs 13から1個のFFs 13を選択するセレクタである。また、「0」-状態FSM8bは、1チップ時間内で、何番目のオーバサンプリングが行なわれているかを表すものであって、4倍であれば、具体的には、例えば2ビットのカウンタによって、「00」が状態0、「01」が状態1、「10」が状態2、「11」が状態3などと表すことができる。なお、状態の表示方法は、これに限定されるものではなく、他の表示方法を用いててもよい。

【0069】すなわち、拡散データバスレジスタ回路7内の各FFs 13の出力は、4個づつまとめられて、セレクタ8aに入力される。その際、4-状態FSM8bが、各セレクタ8aを制御することによって、4個のFFs 13から1個のFFs 13が選択され、そのFFs 13が格納しているデータだけが、演算回路9に出力される。

【0070】このように、受信した拡散入力データをシフトせずに、拡散レプリカ符号をシフトさせるという構成なので、オーバサンプリング制御回路8を設けることによって、セレクタによって選択されたFFs 13だけが動作し、その他のFFs 13は、停止状態になるので低消費電力化がなされる。演算回路9は、オーバサンプリング制御回路8内のセレクタ8aの出力と、自局で発生させた拡散レプリカ符号とを、EXOR演算して、そのすべての結果を足し合わせて出力するものであって、乗算回路9a、拡散レプリカ符号レジスタ26、加算回路9bをそなえて構成されている。

【0071】すなわち、乗算回路9aは、オーバサンプリング制御回路8内のセレクタ8aの出力と、自局で発生させた拡散レプリカ符号とを、EXOR演算するものである。1サンプリングクロック毎の、立ち上がりクロック、又は、立ち下がりクロックで、演算が行なわれる。また、サンプリングクロック間隔は、次式で表される。

【0072】サンプリングクロック間隔

$$= \text{チップ時間} / \text{オーバサンプリング数}$$

また、拡散レプリカ符号レジスタ26は、拡散レプリカ符号発生器44gで発生させた拡散レプリカ符号を読み込んで、1チップ時間毎に、1ビットづつシフトしていく巡回シフトレジスタである。

【0073】加算回路9bは、乗算回路9aのすべての結果を足し合わせて出力するものである。このようにして、本実施例では、相互相関の計算の特徴、データの依存性、対称性などをを利用して、広帯域DS-CDMA方式の受信機の復調部に使われるディジタルマッチドフィルタの各要素において、回路全体のスイッチング率を下げるよう低電力設計を行ない、スイッチング率が効果的に改善されるので、消費電力を低減させることができ、例えば、移動機のような消費電力を厳しく要求する設計に対して非常に有効である。さらに、フルディジタルのため、他の回路と一緒に簡単に大規模集積化が可能となって、装置の小型化を促進することができ、端末のコスト化に寄与できる。

【0074】(A1) 本発明の第1実施形態の変形例なお、上記の第1実施形態で用いられていた、オーバサンプリング制御回路を、構成要素からはずしてもディジタルマッチドフィルタを構成できる。すなわち、オーバサンプリング数が1の場合は、式(9)より、サンプリング間隔は、チップ時間となるので、オーバサンプリング制御回路が必要ない。

【0075】図9は、本発明の第1実施形態の変形例にかかる、ディジタルマッチドフィルタのブロック図であり、同図に示すディジタルマッチドフィルタ11は、受信した拡散入力データを、チップ時間毎に、拡散データ入力制御回路10によって指定されたFFs13のうちの1個に、順番に書き込み、これと同時に、並散レプリカ符号を、サンプリング時間毎にシフトさせて、逆拡散の演算を行なって出力するもので、並散データ入力制御回路10、並散データバスレジスタ回路7、演算回路9をそなえて構成されている。

【0076】ここで、上記の第1実施形態と同じ符号を有する部材は、同様なものを表すので、異なる説明は省略する。オーバサンプリング数が1の場合、上述のラウンドロビン端のフリップフロップの数は、タップ数と等しくなり、オーバサンプリング制御用のセレクタが必*40

$$\begin{aligned} S_1 &+ j \cdot S_2 \\ &= D_1 \cdot (C_1 - j \cdot C_2) + D_2 \cdot (C_2 + j \cdot C_1) \cdots (10) \end{aligned}$$

が得られ、従来、 $D_1 \cdot C_1$ の計算と、 $D_2 \cdot j \cdot C_2$ の計算とを別々のディジタルマッチドフィルタで行なっていたものを、式(10)第1項のように、Ichデータ D_1 と、 $(C_1 - j \cdot C_2)$ との計算で行なうようになっている。また同様に、 $D_2 \cdot C_2$ の計算と、 $D_1 \cdot j \cdot C_1$ の計算とを別々のディジタルマッチドフィルタで行なっていたものを、式(10)第2項のように、Qchデータ D_2 と、 $(C_2 + j \cdot C_1)$ との計算で行な

*要ないので、著しく消費電力が改善される。

【0077】このようにして、本発明の第1実施形態の変形例によれば、オーバサンプリング制御回路を省略しても、ディジタルマッチドフィルタを構成できるので、上記の第1実施形態よりも一層、消費電力を低減することができる。

(B) 本発明の第2実施形態

上記の第1実施形態及び第1実施形態の変形例においては、ディジタルマッチドフィルタを構成するユニットを、消費電力を抑えた回路にすることにより低消費電力化を図っていた。

【0078】ところで、受信機の拡散復調部で使用されるディジタルマッチドフィルタの個数を減らすことによっても消費電力を抑えることができる。図10に、本発明の第2実施形態にかかる広帯域DS-CDMA方式を用いた無線端末の拡散復調部のブロック図を示す。この図10に示す、並散復調部46は、受信した無線信号を周波数変換部43でダウンコンバートさせたのち、この信号と、受信機内部で発生させた拡散レプリカ符号との帯域相互相関をとって、狭帯域信号を取り出すものであって、ハイブリッド器44a、ミキサ44b、局部発振器44c、90°移相器44d、ミキサ44e、A/D変換器44f、拡散レプリカ符号発生器44g、A/D変換器44h、ディジタルマッチドフィルタ(低電力マッチドフィルタ)21-1、21-2、加算器44i、44jをそなえて構成されている。

【0079】ここで、上記の第1実施形態と同じ符号を有する部材は、同様なものを表すので、異なる説明は省略する。上記の第1実施形態でのディジタルマッチドフィルタは4個であるのに対して、本変形例では、ディジタルマッチドフィルタは、2個だけとなっている。では、なぜ、ディジタルマッチドフィルタが、2個だけよいのか、の理由を説明する。

【0080】上述したように、一次変調にQPSKを用いているので、受信したIchデータの D_1 と、Qchデータの D_2 との2種類のデータは、共通信号として、分歧して計算に用いられている。すなわち、上述の式(3)を変形すると、

$$S_1 + j \cdot S_2 = D_1 \cdot (C_1 - j \cdot C_2) + D_2 \cdot (C_2 + j \cdot C_1) \cdots (10)$$

うようになっている。

【0081】これにより、従来は、Ichのバスに属する2つのディジタルマッチドフィルタが必要とした計算を、1つのディジタルマッチドフィルタで行なう一方、Qchのバスに属する2つのディジタルマッチドフィルタが必要とした計算を、1つのディジタルマッチドフィルタで行なうことで、復調部全体では、第1、第2の250個のディジタルマッチドフィルタで済むようになる。

【0082】そして、受信したI chとQ chのデータを共用するために、共用の並散データバス回路を用意して演算を行なう。図11に、本発明の第2実施形態にかかるディジタルマッチドフィルタのブロック図を示す。この図11に示す、データバス共用型ディジタルマッチドフィルタ21-1、21-2は、並散データ入力制御回路10、共用型拡散データバスレジスタ回路77、オーバサンプリング回路8、演算回路9、及びオーバサンプリング回路88、演算回路99をそなえて構成されている。

【0083】また、図12に、本発明の第2実施形態にかかる共用拡散データバス回路77と、オーバサンプリング回路8及びオーバサンプリング回路88との接続形態を示す。この図12に示す共用拡散データバス回路77は、受信した並散入力データを保持し、2か所の演算回路に対して、データを提供するものであって、複数のFFs13を並列的に配置してそなえている。

【0084】オーバサンプリング回路88は、オーバサンプリング回路8と同様であって、並散データバスレジスタ回路77内の複数のFFs13の中から1つの出力を選択して、演算回路99へ出力するもので、複数のセレクタ(SLT)88a、'0'一状態のFSM88bをそなえて構成されている。演算回路99は、演算回路9と同様であって、オーバサンプリング制御回路88内の出力と、拡散レプリカ符号レジスタ27の出力における並散レプリカ符号とを、乗算回路99aにおいてEXOR演算して、そのすべての結果を加算回路9bにおいて足し合わせて出力するものである。

【0085】このような構成により、共用拡散データバス回路77の出力は、共通信号として、オーバサンプリング回路8及びオーバサンプリング回路88に、共用されている。また、オーバサンプリング回路8の出力は、Iチャネル用並散符号と乗算され、その結果が演算回路9から加算出力される。同様に、オーバサンプリング回路88の出力は、Qチャネル用拡散符号と乗算され、その結果が演算回路99から加算出力される。

【0086】また、従来のものと比較して、オーバサンプリング数が4の場合、並散データバスレジスタ回路77内のFFs13が、あたかも環状に構成され、さらに、この出力が共用されるため、オーバサンプリング回路8、88が導入されているのにもかかわらず、消費電力は5%の改善が得られた。このようにして、本実施形態では、相互間の計算の特徴、データの依存性、対称性などを利用して、広帯域DS-CDMA方式の受信機の復調部に使われるディジタルマッチドフィルタの各要素において、回路全体のスイッチング率を下げるようには低電力設計を行ない、並散データバス回路を共用することで、従来4個必要だったディジタルマッチドフィルタを2個に減らすことができ、スイッチング率が大幅に改善されるので、消費電力をほぼ半分に減少させること

ができる。これはまた、例えば、移動機のような消費電力を厳しく要求する設計に対して非常に有効である。さらに、フルディジタルのため、他の回路と一緒に簡単に大規模集積化が可能となって、移動機の小型化を促進することができ、端末の低コスト化に寄与できる。

【0087】(C) その他

上記の、各実施形態では、並散データバス回路7の各FFs13のスイッチング率を改善する方法として、各FFs13aのイネーブル端子を使用する方法を用いているが、本実施形態はこれに限らずものではなく、各複数フリップフロップをオン・オフ制御する方法として、各複数フリップフロップのクロック端子を使用するように構成してもよい。

【0088】各フリップフロップのクロック端子を使用した入力制御回路を除く、クロック延滞型FFs制御回路の構成を図15に示す。この図15に示すFFs14は、並散データ入力制御回路10からの制御信号に応じて、受信した並散データを取り込んで保持するか、若しくは取り込まないかの決定がされるものであって、8個のFF14a、8個のANDゲート14b、8個のバッファ14cをそなえて構成されている。ここで、図15の8個は、受信した1ワードデータのビット数を表しており、一次変調の変調多倍数分のビット数分に対応している。そして、受信した1ワードデータの2の倍数が入っており、これらが、次段のオーバサンプリング回路8に出力される。

【0089】また、FF14aは、ANDゲート14bの出力に応じて、受信した並散データのうちの1ビットを、1周期の間だけ保持するものである。具体的には、30 DFF(延滞フリップフロップ)などが用いられる。また、ANDゲート14bは、入力制御回路であって、拡散データ入力制御回路10からの制御信号に応じて、受信した拡散データを取り込んで保持するか、若しくは取り込まないかの決定をするゲートである。すなわち、拡散入力データビットと、並散データ入力制御回路10から出力されるFF入力制御信号RB-CNTとの論理積を取って、その出力がFF14aのD端子に入力されるものである。

【0090】また、バッファ14cは、FF入力制御信号RB-CNTを延滞させて、FF14aに出力するものである。図16(a)に、クロック延滞型FF14aの入力制御回路の構成を示すとともに、図16(b)に、FF14aのタイミングチャートを示す。すなわち、FF入力制御信号RB-CNTは、バッファ14cによって時間延滞がされたCNT-INとして、FF14aのクロック端子CKに入力される。

【0091】ここで、FF入力制御信号RB-CNTの出力がオンになると、並散データビットPNDのバスが開き、クロックCNT-INの立ち上がりエッジで、各50 FF14aに取り込まれて、FF14aの出力のQ端子

21

がセットされる。逆に、FF入力制御信号RB-CNTの出力がオフのときは、各FF14aはスリーブになるので、拡散データビットは、各FF14aに取り込まれず、電力を消費しない。

【0092】また、これから、各FFs14のクロック端子のスイッチング率は、従来構成の1/(タップ数×オーバサンプリング数)となる。なぜならば、動作するFFs14の個数は、従来構成では、上述した式(7)から、(拡散データバスビット数×タップ数×オーバサンプリング数)個であるが、本構成では、入力制御信号によってオンにされたFFs14のみ動作するため、FFs14内の、(拡散データバスビット数)個のFF14aのみが、スイッチングされているからである。

【0093】このような構成により、各FF14aのクロック端子として、高速なサンプリングクロックの代わりに、各FF14aの入力制御信号RB-CNTを使うことによって、各FF14aの動作を停止状態にさせるため、低消費電力が実現される。さらに、クロック制御方法は、本発明の趣旨を逸脱しない範囲で、種々変形して実施することができ、その部分を別の回路にしてもよい。

【0094】すなわち、クロック制御方法を変形させる例として図17に、反転クロック型FFs制御回路の構成を示す。この図17に示すFFs15は、拡散データ入力制御回路10からの制御信号に応じて、受信した拡散データを取り込んで保持するか、若しくは取り込まないかの決定がされるものであって、8個のFF15a、8個のANDゲート15b、8個のANDゲート15c、インバータ15dをそなえて構成されている。なお、図17の8個は、受信した1ワードデータの2の倍数が入っており、次段のオーバサンプリング回路8に出力される。

【0095】図18(a)に、FF15aの入力制御方法を示す。FF15aは、ANDゲート15bからの出力に応じて、受信した拡散データを1周期の間だけ保持するものである。また、ANDゲート15bは、拡散データビットと、拡散データ入力制御回路10から出力されるFF入力制御信号RB-CNTとの論理積を取って、その出力がFF15aのD端子に入力されるものである。

【0096】また、ANDゲート15cは、インバータ15dの出力における反転CLKと、FF入力制御信号RB-CNTとの論理積を取って、その出力がFF15aのCK端子に入力されるものである。バッファ15dは、システムクロックCLKを反転させて、ANDゲート15cに出力するものである。

【0097】図18(b)に、FF15aのタイミングチャートを示す。すなわち、FF入力制御信号RB-CNTの出力がオンになると、拡散データビットPNDのバスが開き、拡散入力データは、クロックCKの立ち上

22

がりエッジで、各FF15aに取り込まれる。ここで、FF入力端子CKには、FF入力制御信号RB-CNTがオンのときだけ、反転CLKが入力される。

【0098】逆に、FF入力制御信号RB-CNTの出力がオフのときは、各FF15aはスリーブになるので、拡散データビットは、各FF15aに取り込まれず、電力を消費しない。このような構成により、各フリップフロップのクロック端子に、直接高速なサンプリングクロックを入力せずに、入力制御信号RB-CNTとの論理積をとることによって、各フリップフロップの動作を停止状態にさせるため、低消費電力が実現される。

【0099】さて、上記の各実施形態では、拡散データバス回路7の各複数フリップフロップのスイッチング率を改善する方法として、ラウンドロビン環を用いた拡散データ入力制御方式を用いているが、本発明はこれに限定されるものではなく、本発明の趣旨を逸脱しない範囲で、種々変形して実施することができ、拡散データ入力制御方式を別の回路にしてもよい。

【0100】すなわち、上述した各実施形態では、拡散データ入力制御方式として、ラウンドロビン環を用いた制御方式が用いられており、このラウンドロビン環が持つフリップフロップの個数は、(タップ数×オーバサンプリング数)個の多数となる。従って制御方式として、フリップフロップ数が少ないことを特徴とする2進数カウンタ方式を用いるようにしてもよい。

【0101】すなわち、図19に、2進数カウンタ方式を用いた拡散データ入力制御回路と並設データバス回路7との接続構成を示す。この図19に示す2進数カウンタ方式拡散データ入力制御回路16は、受信した拡散データを、チップ時間毎に順番に、指定された拡散データバス回路7内のFFs13のうちの1個に、書き込むものであって、Kビットカウンタ17、デコーダ18をそなえて構成されている。

【0102】Kビットカウンタ17は、拡散データを書き込むべきFFs13の番号を示す2進数カウンタである。ここで、必要となるKの値は、FFs13の全段数以上にとるようすければよく、タップ数をT、オーバサンプリング数をOとすれば、次式が得られる。

$$2^k \geq T \times O$$

【0103】例えば、タップ数が256、オーバサンプリング数が4の場合、

$$K \geq \log_2 (256 \times 4)$$

より、K=10となる。

【0104】また、デコーダ18は、Kビットカウンタ17の値をデコードして、拡散データを書き込むべき番号のFFs13だけをアクティブにしてデータを更新するものである。この方法によれば、それぞれの拡散データバス回路7内のFFs13の位置が、Kビットカウンタ値と対応している。また、このカウンタ値は、カウンタの状態を表しているので、ある瞬間に1つの値しか持

たないため、条件に応じて、カウンタ値をインクリメント又はデクリメントさせれば、特定のFFs 13を指示すことから、ラウンドロビン環の効果を果たせることができる。

【0104】このようにして、本例によれば、回路を小さくすることができ、また、消費電力を少なくすることができます。このようにして、本変形例では、相互相間の計算の特徴、データの依存性、対称性などをを利用して、広帯域DS-C DMA方式を用いた無線端末の復調部に使われるディジタルマッチドフィルタの各要素において、低電力設計を行ない、また、スイッチング率が効果的に改善されるので、消費電力を低減させることができ、例えば、移動機のような消費電力を厳しく要求する設計に対して非常に有効である。さらに、フルディジタルのため、他の回路と一緒に簡単に大規模集積化が可能となって、移動機の小型化を促進することができ、端末の低コスト化に寄与できる。

【0105】そして、本発明は上述した実施形態に限定されるものではなく、フリップフロップの論理を反転させたものでも、また、ある有限な状態を複数のビットで表示してもよく、本発明の趣旨を逸脱しない範囲で、種々変形して実現することができるとは、言うまでもない。

【0106】

【発明の効果】以上詳述したように、請求項1記載の本発明のマッチドフィルタによれば、並散データを入力されるべく、複数のデータ保持部を並列的に配置した構成の並散データバス部と、その並散データの入力に応じて、上記の並散データバス部における各データ保持部へのデータ保持制御を順次行なっていく並散データ入力制御部と、上記の並散データバス部の各データ保持部からの出力と、並散符号との乗算を行なうとともに、それぞれの乗算結果を加算して出力する演算部とをそなえて構成されているので、相互相間の計算の特徴、データの依存性、対称性などをを利用して、マッチドフィルタ内の各要素において、低電力設計を行ない、回路全体のスイッチング率が効果的に改善されて、消費電力を非常に小さくすることができる利点がある。また、例えば、広帯域DS-C DMA方式を用いた無線端末で移動機のような消費電力を厳しく要求する設計に対して非常に有効であるという利点がある。さらに、フルディジタルのため、他の回路と一緒に簡単に大規模集積化が可能となって、移動機の小型化を促進することができ、端末の低コスト化に寄与できるという利点がある。

【0107】また、請求項2記載の本発明のマッチドフィルタによれば、並散データを入力されるべく、複数のデータ保持部を並列的に配置した構成の並散データバス部と、その並散データの入力に応じて、上記の並散データバス部における各データ保持部へのデータ保持制御を順次行なっていく並散データ入力制御部とをそなえると

ともに、上記の並散データバス部の各データ保持部からの出力を共通信号として、該各データ保持部からの出力と、並散符号との乗算を行なうとともに、それぞれの乗算結果を加算して出力する複数の演算部をそなえて構成されているので、例えばQPSKを一次変調に用いた場合、従来の4個のマッチドフィルタを用いた復調回路と比較して、消費電力をほぼ半減にできるという利点がある。また、相互相間の計算の特徴、データの依存性、対称性などをを利用して、マッチドフィルタ内の各要素において、低電力設計を行ない、回路全体のスイッチング率が効果的に改善されて、消費電力を非常に小さくすることができる利点がある。また、例えば、広帯域DS-C DMAを用いた無線端末で移動機のような消費電力を厳しく要求する設計に対して非常に有効であるという利点がある。その上、フルディジタルのため、他の回路と一緒に簡単に大規模集積化が可能となって、移動機の小型化を促進することができ、端末の低コスト化に寄与できるという利点もある。

【0108】また、該並散データ入力制御部は、複数の有限状態保持部を環状に配置したラウンドロビン環をそなえ、該ラウンドロビン環における複数の有限状態保持部のうちの1つの有限状態保持部のみが他の有限状態保持部と状態が異なるように、該複数の有限状態保持部の状態を順次変更していくことにより、上記の並散データバス部における各データ保持部へのデータ保持が順次更新されていくように構成することができ、このようにすれば、例えば、データ保持部を複数のフリップフロップで実現した場合において、ある時刻に、動作しているフリップフロップは、並散データバスのビット数個分だけとなり、その他のフリップフロップの入力は、並散データ入力とは、接続されていないので、各フリップフロップのデータ入力端子のスイッチング率は、大幅に下がられ、消費電力を効果的に低減することができるという利点がある（請求項3）。

【0109】さらに、該並散データ入力制御部は、カウンタをそなえ、該カウンタによる計数結果に基づいて、上記の並散データバス部における各データ保持部へのデータ保持が順次更新されいくように構成することもでき、このようにすれば、ラウンドロビン方式と比べて、回路規模をかなり小さくすることができ、また、消費電力を少なくすることができる利点がある（請求項4）。

【0110】そして、該並散データバス部の該並散データの入力側に、該並散データ入力制御部からの制御信号に応じて、該並散データバス部3へ該並散データを入力させるかどうかの制御を行なうゲート部を設けて構成することもでき、このようにすれば、例えば、データ保持部を複数のフリップフロップで実現した場合において、各フリップフロップは、データ入力時以外は停止状態になるため、低消費電力が実現できる利点がある（請求項5）。

【0111】ここで、該拡散データバス部におけるデータ保持部のクロック入力側に、該拡散データ入力制御部からの制御信号を遅延させて該遅延出力を該データ保持部へのクロック入力信号とする遅延部を設けて構成してもよく、このようにすれば、例えば、データ保持部を複数のフリップフロップで実現した場合において、各フリップフロップのクロック端子として、高速なサンプリングクロックの代わりに、拡散データ入力制御部からの制御信号を使うことによって、各フリップフロップ状態をオン・オフ制御できるため、低消費電力が実現できる利点がある（請求項6）。

【0112】さらに、該拡散データバス部におけるデータ保持部のクロック入力側に、システムクロックを反転するとともに、このシステムクロック反転信号と該拡散データ入力制御部からの制御信号との論理積演算を施して該論理積演算出力を該データ保持部へのクロック入力信号とする論理回路部を設けて構成してもよく、このようにすれば、例えば、データ保持部を複数のフリップフロップで実現した場合において、各フリップフロップのクロック端子に、直接高速なサンプリングクロックを入力せずに、拡散データ入力制御部からの制御信号との論理積をとることによって、各フリップフロップ状態をオン・オフ制御できるため、低消費電力が実現される（請求項7）。

【0113】そして、該拡散データバス部と該演算部との間に、上記の各データ保持部からの出力を選択的に該演算部へ出力しうるセレクタ部が設けられるとともに、該セレクタ部の選択制御を行なうセレクタ制御部を設けて構成することができ、このようにすれば、例えば、データ保持部を複数のフリップフロップで実現した場合において、セレクタによって選択されたフリップフロップだけが動作し、その他のフリップフロップは、停止状態になるので低消費電力化がなされるという利点がある（請求項8）。

【0114】本発明のCDMA通信方式の無線受信装置によれば、受信アンテナを通じて受信されたCDMA通信方式の受信信号について拡散復調を施す拡散復調部をそなえたCDMA通信方式の無線受信装置において、該拡散復調部が、拡散データを入力されるべく複数のデータ保持部を並列的に配置した構成の拡散データバス部と、該拡散データの入力に応じて上記の拡散データバス部における各データ保持部へのデータ保持制御を順次行なっていく拡散データ入力制御部と、上記の拡散データバス部の各データ保持部からの出力と、拡散符号との乗算を行なうとともに、それぞれの乗算結果を加算して出力する第1演算部と、上記の拡散データバス部の各データ保持部からの出力とQチャネル用拡散符号との乗算を行なうとともに、それぞれの乗算結果を加算して出力する第2演算部とを有するマッチドフィルタをそなえて構成されているので、マッチドフィルタの個数を半分にすることができ、相互相間の計算の特徴、データの依存性、対称性などをを利用して、低電力設計ができ、回路全体のスイッチング率が効果的に改善されて、消費電力を非常に小さくすることができる利点がある。また、例えば、移動機のような消費電力を厳しく要求する設計に対して非常に有利であるという利点があり、また、フルディジタルのため、他の回路と一緒に簡単に大規模集積化が可能となって、移動機の小型化を促進することができ、さらに、端末の低コスト化に寄与できるという利点がある（請求項10）。

機のような消費電力を厳しく要求する設計に対して非常に有利であるという利点があり、また、フルディジタルのため、他の回路と一緒に簡単に大規模集積化が可能となって、移動機の小型化を促進することができ、さらに、端末の低コスト化に寄与できるという利点がある（請求項9）。

【0115】また、本発明のCDMA通信方式の無線受信装置によれば、受信アンテナを通じて受信されたCDMA通信方式でQPSK変調を施された受信信号について拡散復調を施す拡散復調部をそなえたCDMA通信方式の無線受信装置において、該拡散復調部が、拡散データを入力されるべく複数のデータ保持部を並列的に配置した構成の拡散データバス部と、該拡散データの入力に応じて上記の拡散データバス部における各データ保持部へのデータ保持制御を順次行なっていく拡散データ入力制御部と、上記の拡散データバス部の各データ保持部からの出力と1チャネル用拡散符号との乗算を行なうとともに、それぞれの乗算結果を加算して出力する第1演算部と、上記の拡散データバス部の各データ保持部からの出力とQチャネル用拡散符号との乗算を行なうとともに、それぞれの乗算結果を加算して出力する第2演算部とを有するマッチドフィルタをそなえて構成されているので、マッチドフィルタの個数を半分にすることができ、相互相間の計算の特徴、データの依存性、対称性などをを利用して、低電力設計ができ、回路全体のスイッチング率が効果的に改善されて、消費電力を非常に小さくすることができる利点がある。また、例えば、移動機のような消費電力を厳しく要求する設計に対して非常に有利であるという利点があり、また、フルディジタルのため、他の回路と一緒に簡単に大規模集積化が可能となって、移動機の小型化を促進することができ、さらに、端末の低コスト化に寄与できるという利点がある（請求項10）。

【図面の簡単な説明】

【図1】本発明の原理ブロック図である。

【図2】本発明の原理ブロック図である。

【図3】一般的な、広帯域DS-CDMA方式を用いた無線端末の受信部の拡散復調部を示すブロック図である。

【図4】本発明の第1実施形態にかかるディジタルマッチドフィルタのブロック図である。

【図5】本発明の第1実施形態にかかる拡散データ入力制御回路と拡散データバスレジスタ回路の接続構成を示す図である。

【図6】本発明の第1実施形態にかかる拡散データバスレジスタ回路が、概念的に環状に配置されていることを説明するための図である。

【図7】一般的な4倍オーバサンプリング制御回路を示す図である。

【図8】本発明に適用される4倍オーバサンプリング制

御回路の構成を示す図である。

【図9】本発明の第1実施形態の変形例にかかるディジタルマッチドフィルタのブロック図である。

【図10】本発明の第2実施形態にかかる広帯域DS-CDMA方式を用いた無線端末の拡散復調部のブロック図である。

【図11】本発明の第2実施形態にかかるディジタルマッチドフィルタのブロック図である。

【図12】本発明の第2実施形態にかかる共用拡散データバス部と、オーバサンプリング回路及びオーバサンプルリンク回路との接続形態を示す図である。

【図13】本発明に適用されるFFs(複数フリップフロップ)の回路構成を示す図である。

【図14】(a)は本発明に適用されるFF(フリップフロップ)の入力制御回路の構成を示す図であり、(b)はそのFFのタイムチャートを示す図である。

【図15】本発明に適用されるクロック遅延型FFs制御回路の構成を示す図である。

【図16】(a)は本発明に適用される、クロック遅延型FFの入力制御回路の構成を示す図であり、(b)はそのFFのタイムチャートを示す図である。

【図17】本発明に適用される反転クロック型FFs制御回路の構成を示す図である。

【図18】(a)は本発明に適用される、反転クロック型FFの入力制御回路の構成を示す図であり、(b)はそのFFのタイムチャートを示す図である。

【図19】本発明に適用される2進数カウンタ方式拡散データ入力制御回路を示す図である。

【図20】一般的な、DS-CDMA方式を用いた無線端末の送信部を示すブロック図である。

【図21】一般的な、DS-CDMA方式において一次変調にQPSKを用いた場合の送信データを示すブロック図である。

【図22】一般的な、DS-CDMA方式を用いた無線端末の受信部を示すブロック図である。

【図23】一般的な、広帯域DS-CDMA方式を用いた無線端末の受信部の拡散復調部を示すブロック図である。

【図24】従来の、マッチドフィルタのブロック図である。

【符号の説明】

1. 6 マッチドフィルタ

2 データ入力制御部

3 拡散データバス部

4 データ保持部

5 演算部

7. 77 拡散データバスレジスタ回路(拡散データバス部)

8. 88 オーバサンプリング制御回路(セレクタ制御部)

8 a. 88 a セレクタ

8 b. 88 b 'O' - State FSM

9. 51, 99 演算回路(部)

9 a. 51 a. 99 a 乗算回路

9 b. 51 b. 99 b 加算回路

10 拡散データ入力制御回路(部)

10 a. 13 a. 14 a. 15 a FF(フリップフロップ)

11 デジタルマッチドフィルタ(低電力マッチドフィルタ)

13. 14, 15 FFs(複数フリップフロップ)

13 b. 14 b. 15 b. 15 c ANDゲート

14 c バッファ

15 d インバータ

16 2進数カウンタ方式拡散データ入力制御回路

17 Kビットカウンタ

18 デコーダ

19 複数演算部

20-1, 20-2, 20-3, 20-4, 21-1, 21-2 デジタルマッチドフィルタ(低電力マッチドフィルタ)

22 拡散データバス回路

22-a, 22-b, 22-c, 22-d, 22-e,

22-f, 22-g, 22-h シフトレジスタ

22-! (i=1, 2, ..., M) シフトレジスタ

22-! a (i=1, 2, ..., M) FF

22-! b (i=1, 2, ..., M) FF

22-! c (i=1, 2, ..., M) FF

30 22-! d (i=1, 2, ..., M) FF

22-! e (i=1, 2, ..., M) FF

22-! f (i=1, 2, ..., M) FF

22-! g (i=1, 2, ..., M) FF

22-! h (i=1, 2, ..., M) FF

23 演算部

24 レプリカ符号用レジスタ

25 加算部

26. 27 拡散レプリカ符号レジスタ

28 デジタルマッチドフィルタ

40 30 DS-CDMA方式を用いた無線端末の送信部

31 一次変調部

32 拡散変調部

33 周波数変換部

34 RF増幅部

35 アンテナ

36 a, 36 b, 36 c, 36 d 乗算器

37 a, 37 b 加算器

40 DS-CDMA方式を用いた無線端末の受信部

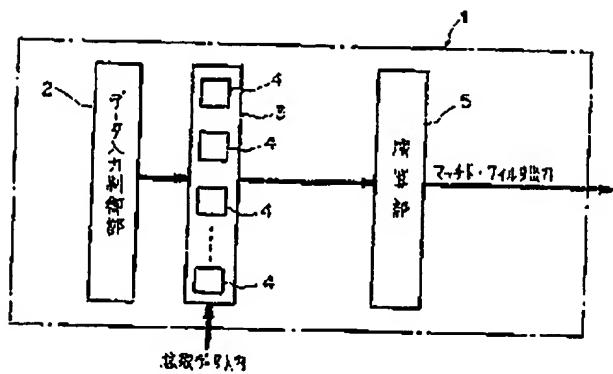
41 アンテナ

50 42 RF増幅部

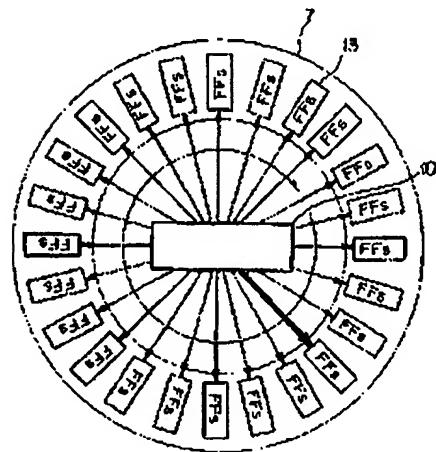
4.3 周波数変換部
 4.4, 4.6 拡散復調部
 4.4a ハイブリッド器
 4.4b, 4.4e ミキサ
 4.4c 局部発振器
 4.4d 90° 移相器

* 4.4f, 4.4h A/D (アナログ/ディジタル) 変換器
 4.4g 拡散レプリカ符号発生器
 4.4i, 4.4j 加算器
 4.5 一次復調部
 * 5.0 4倍オーバサンプリング制御回路

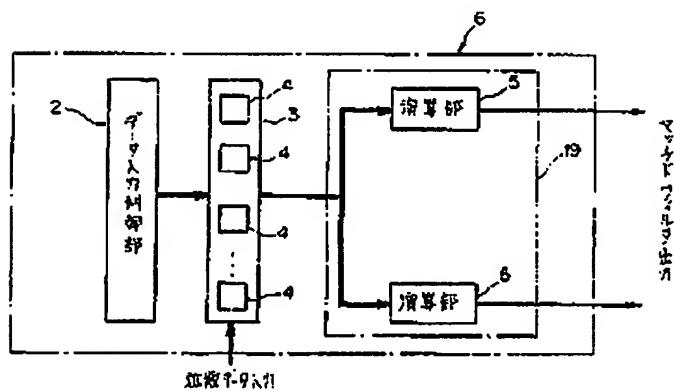
【図1】



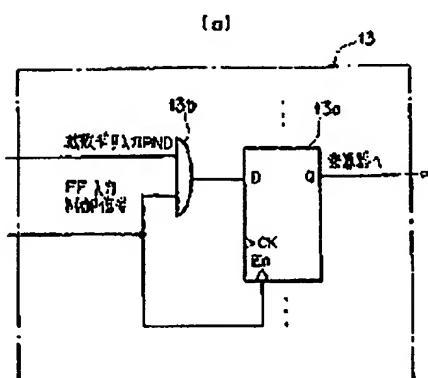
【図6】



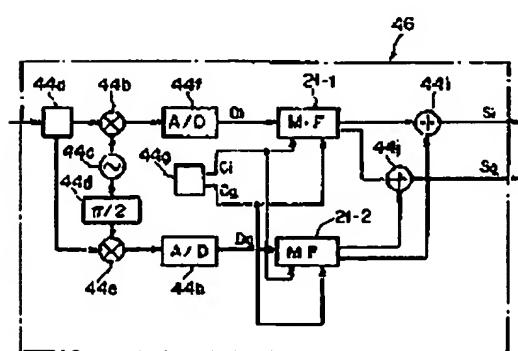
【図2】



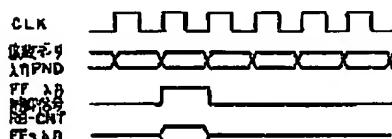
【図14】



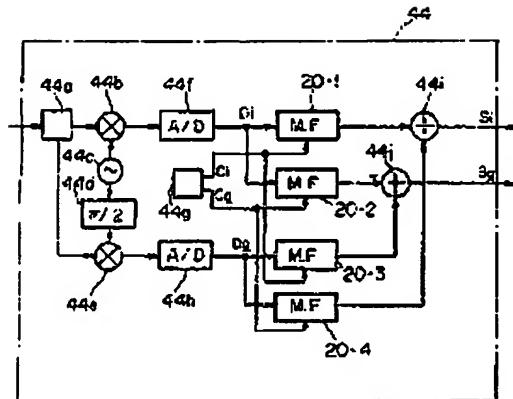
【図10】



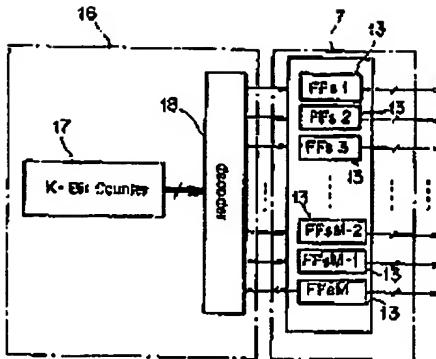
(b)



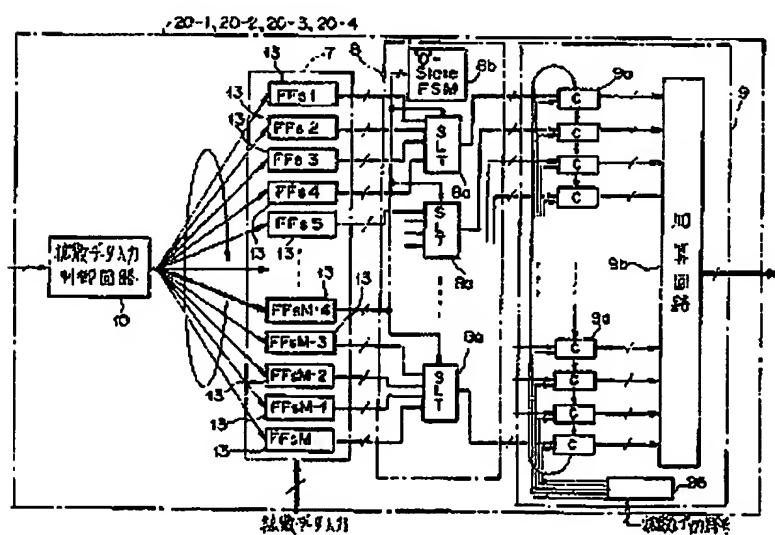
【図3】



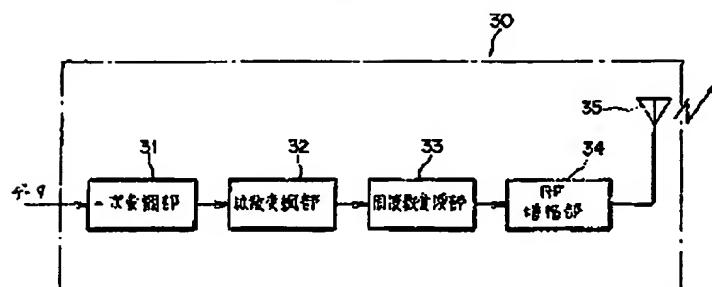
【図19】



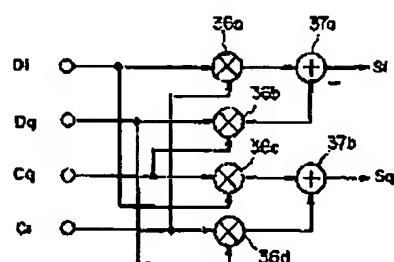
【図4】



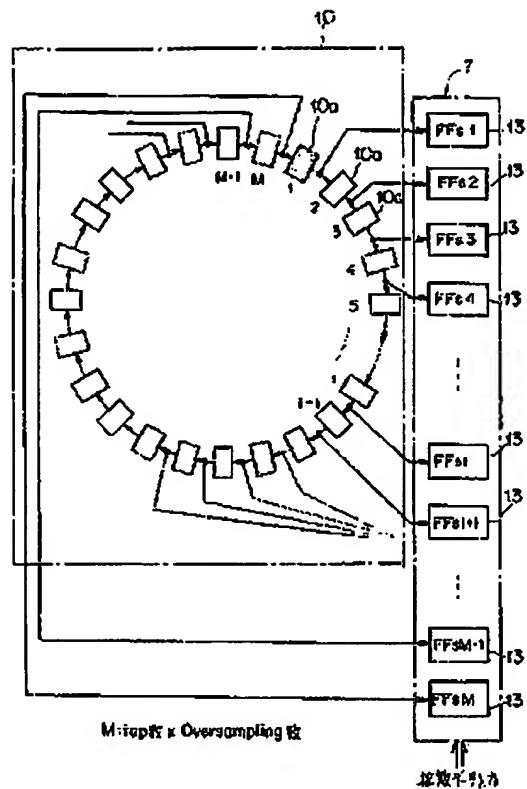
【図20】



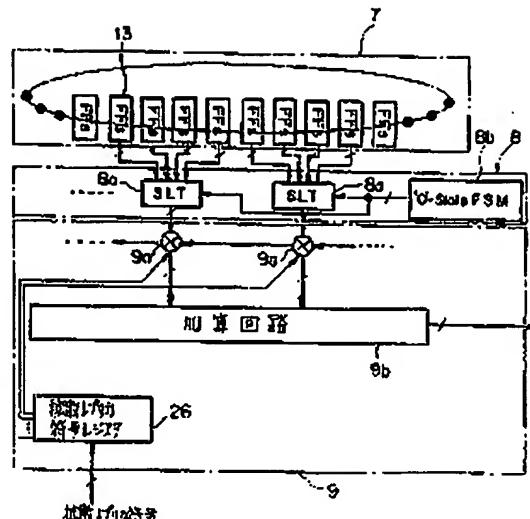
【図21】



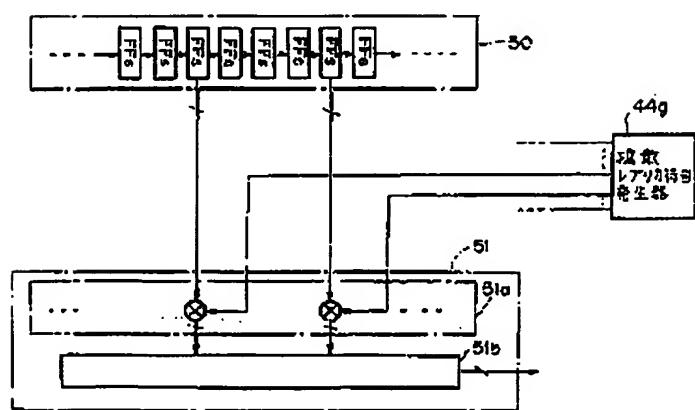
【図5】



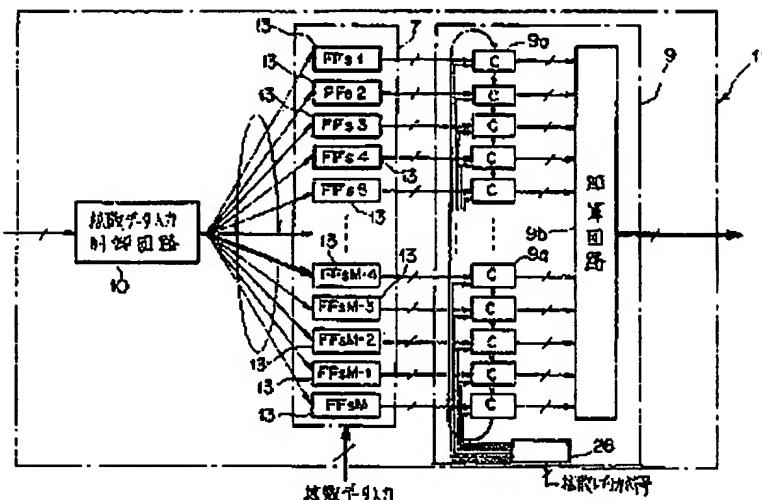
【図8】



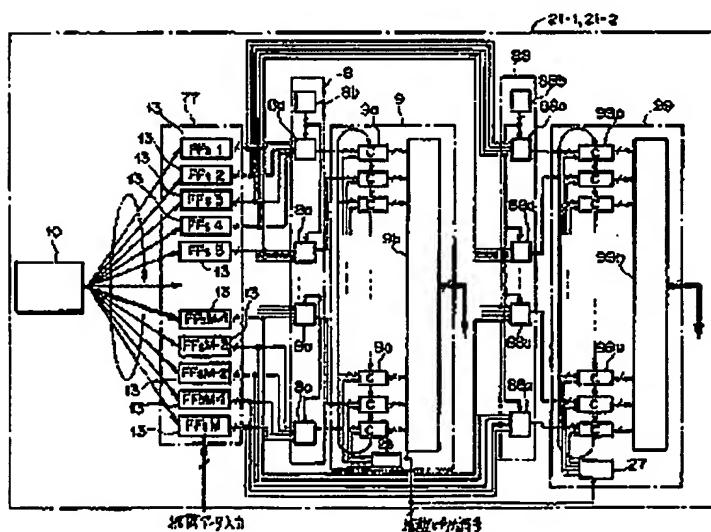
【図7】



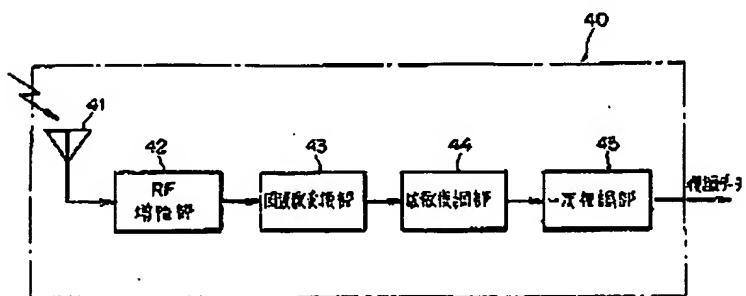
[図9]



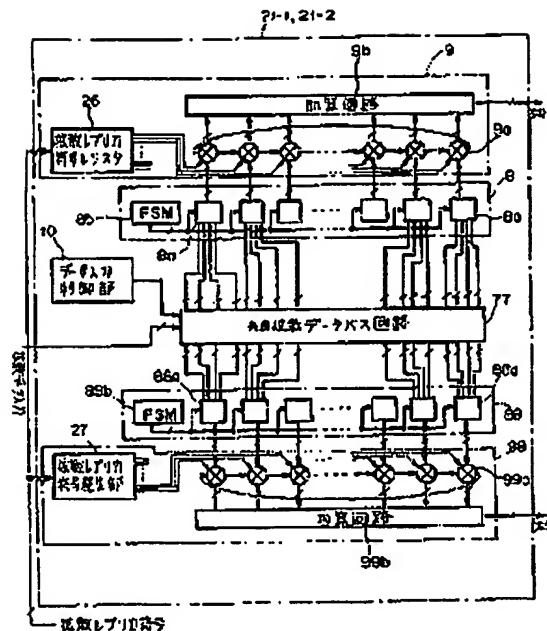
[図11]



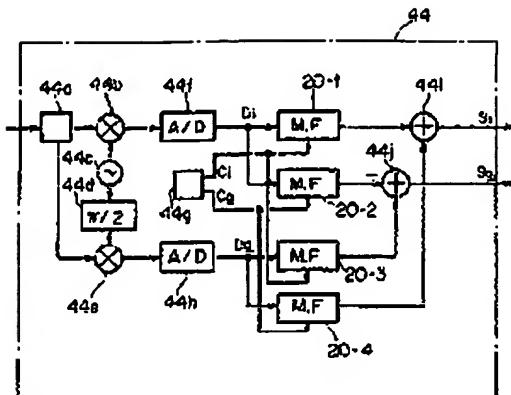
[図22]



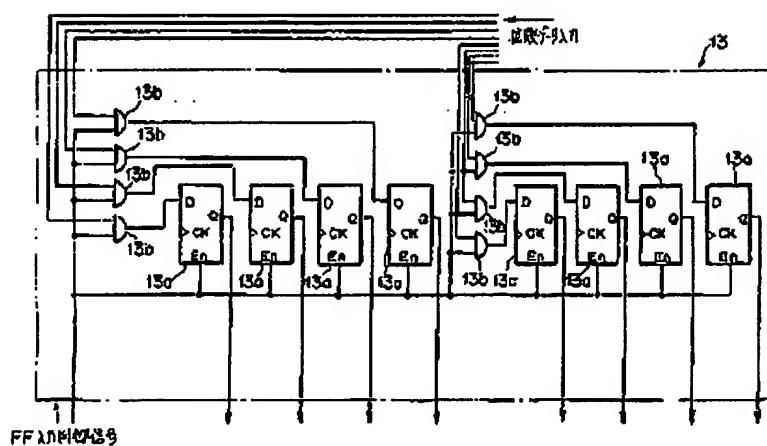
[図12]



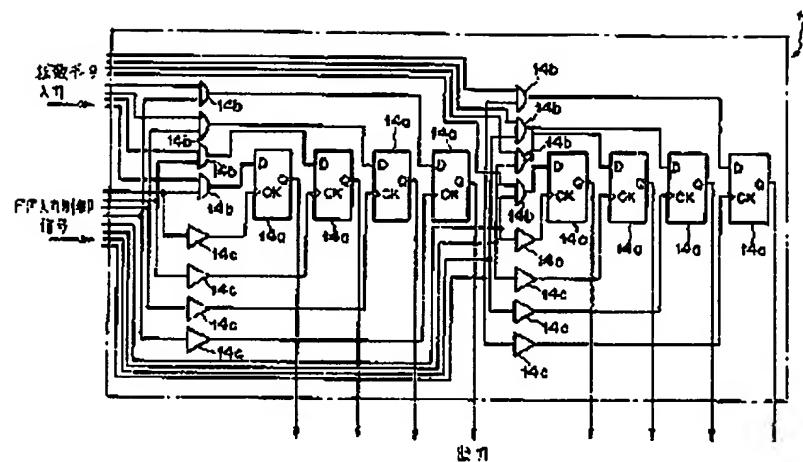
[図23]



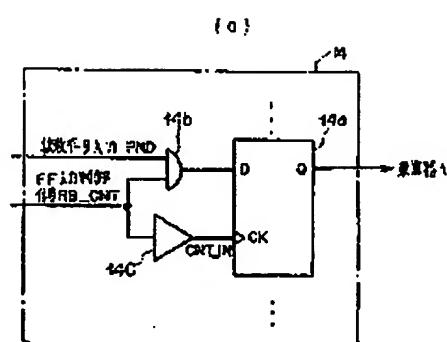
[図13]



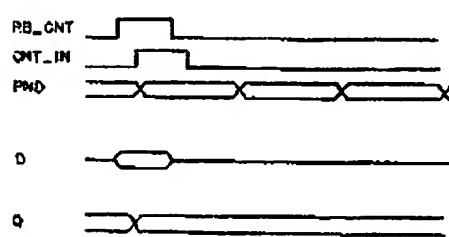
[図15]



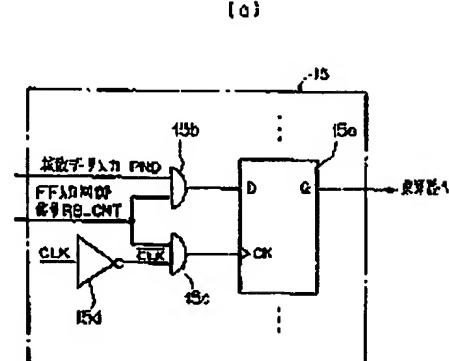
[図16]



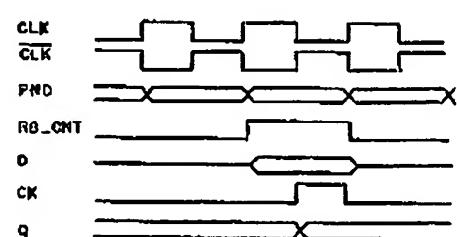
(b)



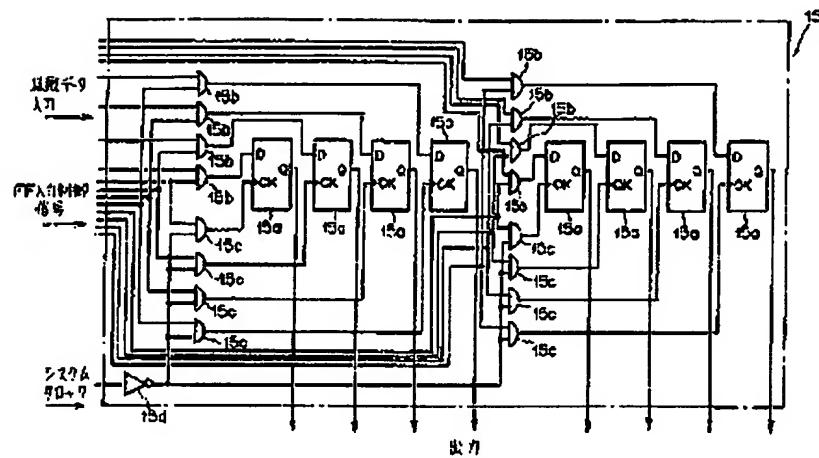
[図18]



(b)



【図17】



【図24】

